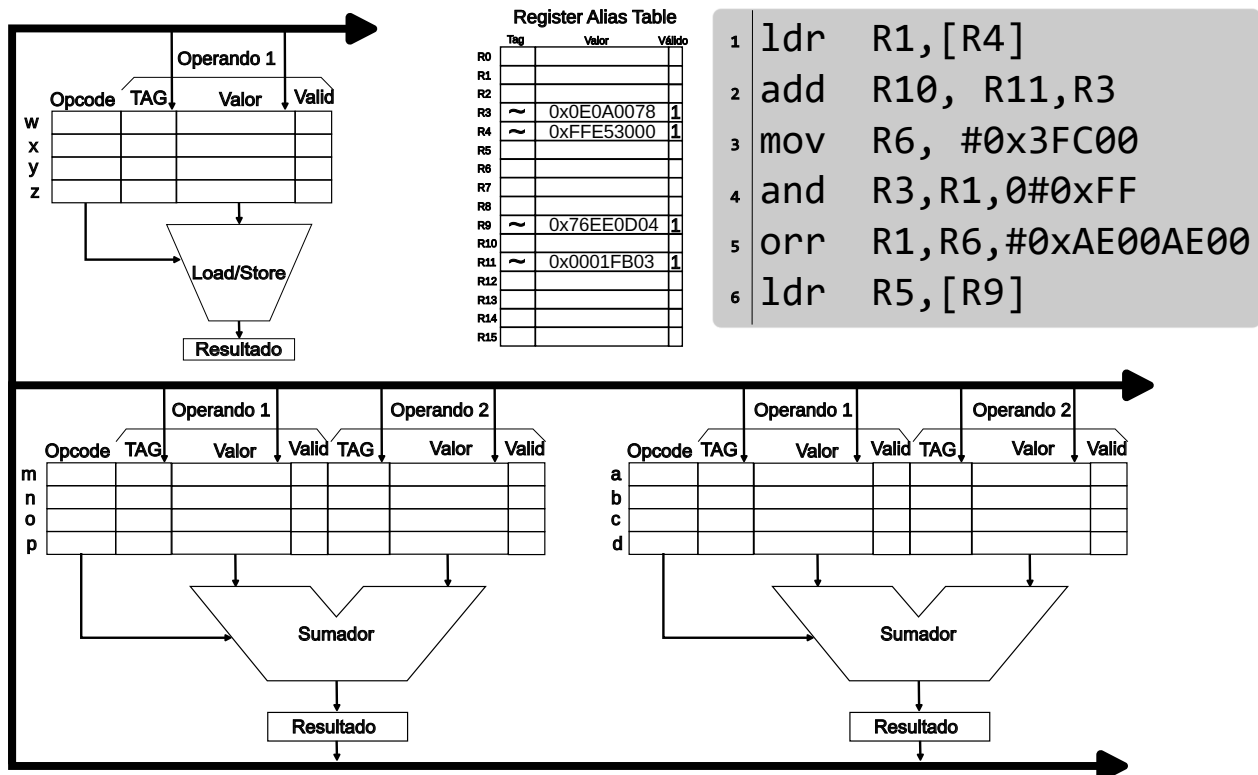


Apellido y Nombres	Legajo	Calificación

1. Organización de computadores

- a.) La figura siguiente representa el estado de un procesador ARMv7 que ejecuta fuera de orden. Solo los registros indicados tienen valores válidos y todas las Reservation Stations están vacías.



La instrucción 1 produce un Read Miss en todos los niveles de la jerarquía de memoria, de modo tal que el valor debe ser recuperado desde la DRAM. Estimar 20 ciclos de clock de latency. Las instrucciones 2 a 5, demandan solo 1 ciclo de clock para ejecutarse.

- Identificar los riesgos que se observan en todo el código para ejecutarlo fuera de orden
- Completar en el gráfico la RAT y la RS correspondiente con los valores acordes a esta nueva instrucción. Justificar el valor del TAG utilizado.
- Completar las entradas correspondientes en la RAT y la/s RS correspondiente/s para las instrucciones 2 a 4, indicando que resultados se aplican en un modelo como el planteado por Tomasulo. Justificar
- Para la instrucción 5, indicar como queda la **R1** en la RAT, y la entrada en la RS que se genera para esa instrucción,
- De acuerdo con los tiempos de ejecución estipulados el principio, la instrucción 5 se ejecutará mucho antes que la instrucción 1. El algoritmo de Tomasulo escribe en **R1** el resultado de ésta instrucción. Explicar justificando la respuesta porque no es un problema obtener mas tarde el resultado de la Instrucción 1, y como resuelve la instrucción 4.



- f) Considerando nuevamente los tiempos de ejecución estipulados al inicio, explicar que ocurre en el modelo planteado por Tomasulo, si el puntero de la instrucción **6**, mapea a una página con descriptor Inválido, considerando las instrucciones previas que fueron ejecutadas y las que aun no. Justificar
- g) Como resuelven los procesadores actuales el escenario planteado en el ítem anterior. Explicar como funciona la solución.

2. Microprocesadores de propósito general

Proponer un esquema de paginación para una CPU capaz de manejar direcciones virtuales de 39 bit con las siguientes características:

- Page size 4 KiB
- Espacio de direccionamiento de 48 bit

Se pide:

- a.) Determinar la cantidad de niveles de paginación, justificando su elección.
- b.) Determinar el layout de la dirección virtual para optimizar el mínimo de memoria de sistema posible dedicado a la gestión inicial de una tarea.
- c.) Dibujar el gráfico general del sistema de paginación en el que se pueda visualizar claramente como partiendo de la dirección lineal o virtual se determina la dirección física real en la memoria,
- d.) Definir el formato de los descriptores que permiten la traducción. Especificar solo los page frame, no se piden los bits de atributos de los descriptores.
- e.) Dibujar el esquema resultante de la TLB para este modelo de paginación específico.

3. Sistemas Operativos

- a.) Linux. Mecanismo Copy on Write. Explicación detallada. Relación con el hardware del procesador para su implementación.
- b.) Relación del char device con un nodo en **/dev**. Major and Minor Number: ¿Que significan y como los obtiene el modulo del driver?.¿Como se mapean las funciones del driver con las syscall POSIX de manejo de archivos?.¿Como y donde las declara el driver?
- c.) Explicar el mecanismo mediante el cual un driver bloquea a un proceso cuando el recurso que este pide no está disponible. ¿Qué transición de estados experimenta el proceso y de qué manera? ¿En qué nivel de privilegio se realiza esta transición de estados?.