



Apellido y Nombres	Legajo	Calificación

1. Un proceso en estado **TASK_RUNNING**, está ejecutándose en este momento. Se pide justificando la respuesta en cada caso, responder las siguiente preguntas:

- a) ¿A qué estado cambia cuando el scheduler lo suspende porque expiró su quantum?.
- b) Si el proceso recibe una cantidad n de señales del mismo tipo mientras espera en la cola de ejecución a ser schedulado nuevamente ¿Puede determinar el número n ?

2. El siguiente código está en una ROM de 4 KB mapeada en **0xFFFFF000** y se ejecuta cuando enciende un procesador IA-32.

```
1 ORG 0xFFFF000
2 USE16
3 code_size EQU (end - init16)
4 times (4096-code_size) db 0x90
5 init16:
6 cli
7             jmp     init16
8 end:
```

- a) Indicar si el código propuesto se ejecuta correctamente. En caso afirmativo, indicar a qué dirección se efectúa el salto. En caso negativo proponé una solución.
- b) ¿Cual es la función de **ORG** y **USE** en este código?
3. A continuación se tiene las entradas de una **TLB** correspondientes a una misma tarea que ejecuta en un sistema basado en un procesador x86. Las entradas están en el orden en el que se han ido generando las traducciones.

#	Nro.Pag.	Descriptor	Ctrl
1	7C047	0EF00121	ccc
2	7EEF0	1EF01067	ccc
3	EC004	001F0163	ccc
4	EC005	001F7123	ccc
5	46104	1F011005	ccc
6	46109	1F010027	ccc

Para dicha tarea el registro **CR3** = **0x000E4000**, y las tablas de página correspondientes a las direcciones en uso se alojan en páginas de memoria física inmediatamente contiguas al **DTP** en el orden en el que se han ido requiriendo. A modo de ejemplo: la tabla de páginas correspondiente a la entrada N°1 de la **TLB**, se ubica en la página de memoria contigua a la del **DTP**, la N°2 se aloja en la siguiente página física, y así sucesivamente.

Se pide:



- Para las entradas 1 y 2 de la **TLB**, escribir el contenido de sus correspondientes descriptores en cada nivel de la jerarquía de tablas de traducción a direcciones físicas, considerando que se trata de las dos primeras páginas requeridas al ejecutar la tarea.
- Especificar para cada **PDE** que valor deben tener los bits **U/S** y **R/W**, para ser consistentes con el contenido de la TLB. Respuestas posibles en cada caso: 0, 1, o X (indistinto).
- Suponiendo que las seis entradas están siendo utilizadas por una misma tarea, y por cada task switch se modifica **CR3**. ¿Que ocurre con cada una al momento del task switch?. ¿Cual es el tratamiento para aquellas que se han modificado?
- ¿Cual es la función dentro de la **TLB** de los bits identificados genéricamente como **Ctrl**?

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Address of page directory ¹																Ignored						P C D	P W T	Ignored			CR3					
Bits 31:22 of address of 4MB page frame						Reserved (must be 0)				Bits 39:32 of address ²		P A T	Ignored		G	1	D	A	P C D	P W T	U / S	R / W	1	PDE: 4MB page								
Address of page table												Ignored				0	I g n	A	P C D	P W T	U / S	R / W	1	PDE: page table								
Ignored																				0			PDE: not present									
Address of 4KB page frame										Ignored		G	P A T	D	A	P C D	P W T	U / S	R / W	1	PTE: 4KB page											
Ignored																				0			PTE: not present									

- ¿Por qué un sistema que utilice dos o más niveles de privilegio diferentes debe usar una TSS aun cuando la conmutación de tareas es manual?
- Explicar el mecanismo mediante el cual un driver bloquea a un proceso cuando el recurso que este pide no está disponible. ¿Qué transición de estados experimenta el proceso y de qué manera? ¿En qué nivel de privilegio se realiza esta transición de estados?
- Explicá detalladamente cómo funciona el handshake de Interrupt Acknowledge entre el procesador x86 y los PIC 8259. Detallar cómo obtiene el procesador el tipo de cada interrupción, y quien lo provee en cada caso.
- Una tarea tiene **MM4 = 0x3892 F145 DEDA A164** y **MM6 = 0x532F 1768 E234 94BA**
 - Indicar cuánto valen las sumas con aritmética de desborde y con aritmética saturada con y sin signo si cada paquete es de 16 bits.
 - ¿Qué mecanismo aplicaría dentro del handler del timer tick para poder resguardar el contexto SIMD de esta tarea? ¿Qué instrucciones debería utilizar para recuperar y guardar el contexto de SIMD?
- Desde diferentes pestañas o ventanas (según le resulte más sencillo) un navegador web, envía requerimientos a un mismo web server (por ejemplo www.google.com) que tiene una IP pública fija y un well known port asociado. Indicar cómo es posible que cada ventana presente la información recibida desde el servidor sin que se mezclen las respuestas.