

Conversores Analógico/digital

Por Dr. Ing. Ariel Lutenberg

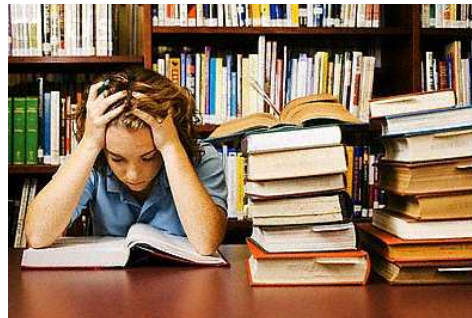
Laboratorio de Sistemas Embebidos - UBA



Conversores Analógico/digital

Organización de la clase:

- 1. Repaso de conversión A-D**
- 2. Conversores A-D**
- 3. Conversores D-A**



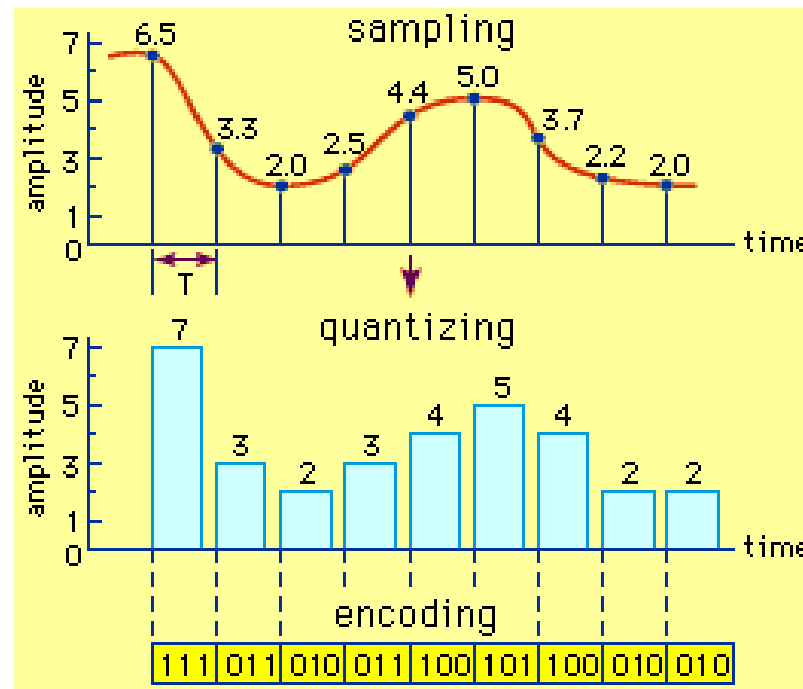
1. Repaso de conversión A-D



1. Introducción a conversión A-D

Señal analógica y señal digital

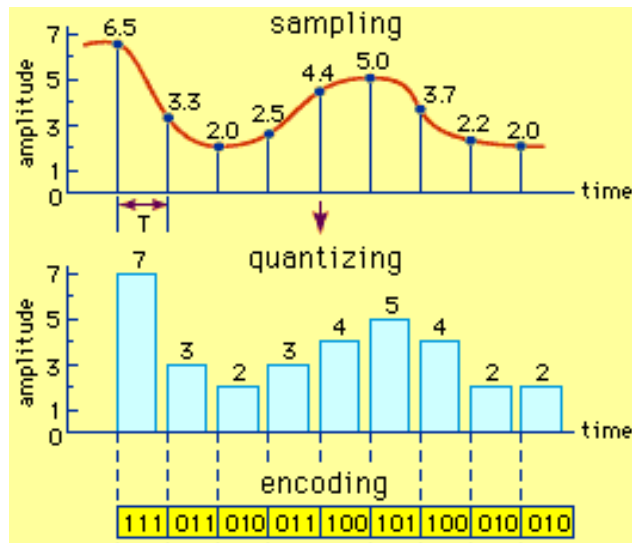
- Una señal analógica puede tomar cualquier valor real.
- Una señal digital toma valores discretos de un conjunto predeterminado.



1. Introducción a conversión A-D

Ruido de cuantización

- Al discretizar una señal se introduce una distorsión: “**ruido de cuantización**”



valores de salida = 2^N

Resolución = $\text{FullScale}/2^N$

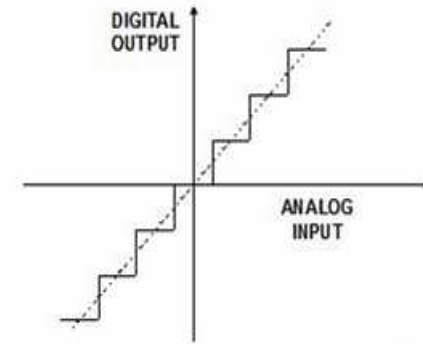
Error cuantización = $\pm 1/2 \text{ LSB}$

n	N	Resolución	
		%	ppm
2	4	25.000000	250000.00
4	16	6.250000	62500.00
8	256	0.390625	3906.25
12	4096	0.024414	244.14
16	65536	0.001526	15.26
24	16777216	0.000006	0.06

1. Introducción a conversión A-D

Ruido de cuantización

El error máximo de cuantización ideal es de $\pm \frac{1}{2}$ LSB



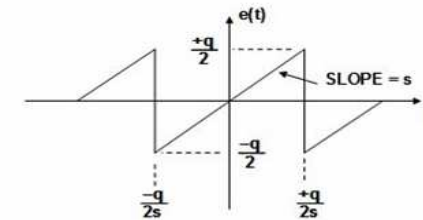
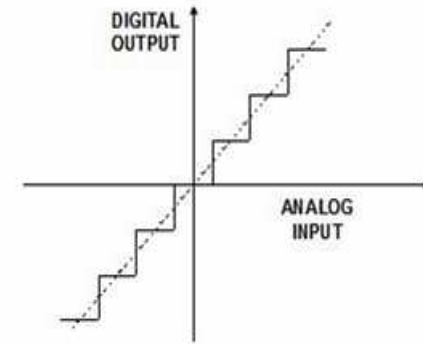
1. Introducción a conversión A-D

Ruido de cuantización

El error máximo de cuantización ideal es de $\pm 1/2$ LSB

Considerando una probabilidad uniforme del error:

$$\langle \varepsilon(t)^2 \rangle = \frac{s}{q} \int_{-\frac{q}{2s}}^{+\frac{q}{2s}} (s \cdot t)^2 dt = \frac{q^2}{12} \longrightarrow \varepsilon_{RMS} = \frac{q}{\sqrt{12}}$$



Señal auxiliar propuesta para el error

1. Introducción a conversión A-D

Ruido de cuantización

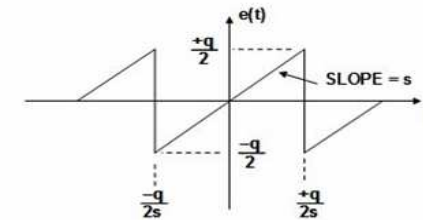
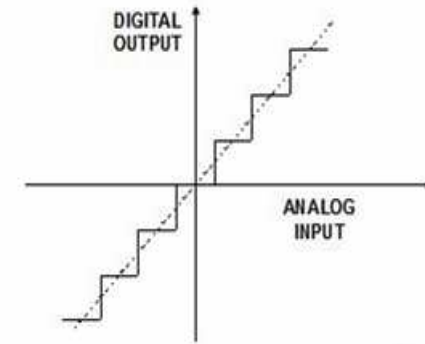
El error máximo de cuantización ideal es de $\pm 1/2$ LSB

Considerando una probabilidad uniforme del error:

$$\langle \varepsilon(t)^2 \rangle = \frac{s}{q} \int_{-\frac{q}{2s}}^{+\frac{q}{2s}} (s \cdot t)^2 dt = \frac{q^2}{12} \longrightarrow \varepsilon_{RMS} = \frac{q}{\sqrt{12}}$$

Para una señal sinusoidal de amplitud máxima:

$$v_{in}(t) = \frac{q2^N}{2} \sin(2\pi f \cdot t) \longrightarrow v_{RMS} = \frac{q2^N}{2\sqrt{2}}$$



Señal auxiliar propuesta para el error

1. Introducción a conversión A-D

Ruido de cuantización

El error máximo de cuantización ideal es de $\pm 1/2$ LSB

Considerando una probabilidad uniforme del error:

$$\langle \varepsilon(t)^2 \rangle = \frac{s}{q} \int_{-\frac{q}{2s}}^{+\frac{q}{2s}} (s \cdot t)^2 dt = \frac{q^2}{12} \longrightarrow \varepsilon_{RMS} = \frac{q}{\sqrt{12}} = \frac{q}{3.46}$$

Para una señal sinusoidal de amplitud máxima:

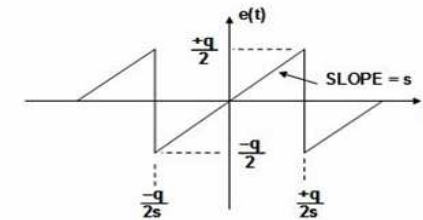
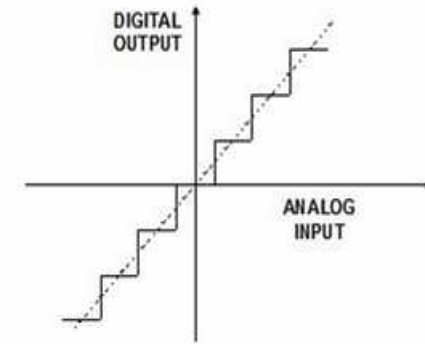
$$v_{in}(t) = \frac{q2^N}{2} \sin(2\pi f \cdot t) \longrightarrow v_{RMS} = \frac{q2^N}{2\sqrt{2}}$$

Resultando la relación señal/ruido de cuantización:

$$SNR = 10 \log_{10} \left(\frac{POT(v)}{POT(\varepsilon)} \right) = 20 \log_{10} \left(\frac{v_{RMS}}{\varepsilon_{RMS}} \right) = 20 \log_{10} (2^N) + 20 \log_{10} \left(\sqrt{\frac{3}{2}} \right)$$

Para una resolución de N bits:

$$SNR = 6.02N + 1.76dB$$



Señal auxiliar propuesta para el error

1. Introducción a conversión A-D

Ruido de cuantización

Ejemplo:

- Para un conversor ideal con $N=8$ bits y full scale = 2.56V hallar ϵ_{RMS} y SNR

1. Introducción a conversión A-D

Ruido de cuantización

Ejemplo:

- Para un conversor ideal con $N=8$ bits y full scale = 2.56V hallar ϵ_{RMS} y SNR

Primero $q = 2.56\text{V}/2^8 = 10\text{mV} \rightarrow \epsilon_{\text{RMS}} = 2.9\text{mV}$

1. Introducción a conversión A-D

Ruido de cuantización

Ejemplo:

- Para un conversor ideal con $N=8$ bits y full-scale = 2.56V **hallar ϵ_{RMS} y SNR**

Primero $q = 2.56\text{V}/2^8 = 10\text{mV} \rightarrow \epsilon_{\text{RMS}} = 2.9\text{mV}$

Verificamos: si v_{in} es una señal sinusoidal de amplitud máxima $\rightarrow$

$$v_{\text{RMS}} = \frac{2.56\text{V}}{2\sqrt{2}} = 907\text{mV}$$

1. Introducción a conversión A-D

Ruido de cuantización

Ejemplo:

- Para un conversor ideal con $N=8$ bits y full-scale = 2.56V **hallar ϵ_{RMS} y SNR**

Primero $q = 2.56\text{V}/2^8 = 10\text{mV} \rightarrow \epsilon_{\text{RMS}} = 2.9\text{mV}$

Verificamos: si v_{in} es una señal sinusoidal de amplitud máxima $\rightarrow$

$$v_{\text{RMS}} = \frac{2.56\text{V}}{2\sqrt{2}} = 907\text{mV} \quad \text{Luego } v_{\text{RMS}}/\epsilon_{\text{RMS}} = 307 > 256 \quad \underline{\text{OK}}$$

1. Introducción a conversión A-D

Ruido de cuantización

Ejemplo:

- Para un conversor ideal con $N=8$ bits y full-scale = 2.56V hallar ϵ_{RMS} y SNR

Primero $q = 2.56\text{V}/2^8 = 10\text{mV} \rightarrow \epsilon_{\text{RMS}} = 2.9\text{mV}$

Verificamos: si v_{in} es una señal sinusoidal de amplitud máxima $\rightarrow$

$$v_{\text{RMS}} = \frac{2.56\text{V}}{2\sqrt{2}} = 907\text{mV} \quad \text{Luego } v_{\text{RMS}}/\epsilon_{\text{RMS}} = 307 > 256 \quad \underline{\text{OK}}$$

Finalmente $\rightarrow \text{SNR} = 6.02 \cdot 8 + 1.76\text{dB} \rightarrow \text{SNR} = 50\text{dB}$

1. Introducción a conversión A-D

Ruido de cuantización

Ejemplo:

- Para un conversor ideal con $N=8$ bits y full-scale = 2.56V hallar ϵ_{RMS} y SNR

Primero $q = 2.56\text{V}/2^8 = 10\text{mV} \rightarrow \epsilon_{\text{RMS}} = 2.9\text{mV}$

Verificamos: si v_{in} es una señal sinusoidal de amplitud máxima $\rightarrow$

$$v_{\text{RMS}} = \frac{2.56\text{V}}{2\sqrt{2}} = 907\text{mV} \quad \text{Luego } v_{\text{RMS}}/\epsilon_{\text{RMS}} = 307 > 256 \quad \underline{\text{OK}}$$

Finalmente $\rightarrow \text{SNR} = 6.02 \cdot 8 + 1.76\text{dB} \rightarrow \text{SNR} = 50\text{dB}$

- En un **conversor real**, se desconoce el verdadero valor de ϵ_{RMS} entonces se mide experimentalmente SNR y se define el **Effective Number of bits**:

$$\text{ENOB} = \frac{\text{SNR} - 1.76\text{dB}}{6.02\text{dB}}$$

1. Introducción a conversión A-D

Ruido de cuantización

Ejemplo:

- Para un conversor ideal con $N=8$ bits y full-scale = 2.56V hallar ϵ_{RMS} y SNR

Primero $q = 2.56\text{V}/2^8 = 10\text{mV} \rightarrow \epsilon_{\text{RMS}} = 2.9\text{mV}$

Verificamos: si v_{in} es una señal sinusoidal de amplitud máxima $\rightarrow$

$$v_{\text{RMS}} = \frac{2.56\text{V}}{2\sqrt{2}} = 907\text{mV} \quad \text{Luego } v_{\text{RMS}}/\epsilon_{\text{RMS}} = 307 > 256 \quad \underline{\text{OK}}$$

Finalmente $\rightarrow \text{SNR} = 6.02 \cdot 8 + 1.76\text{dB} \rightarrow \text{SNR} = 50\text{dB}$

- En un **conversor real**, se desconoce el verdadero valor de ϵ_{RMS} entonces se mide experimentalmente SNR y se define el **Effective Number of bits**:

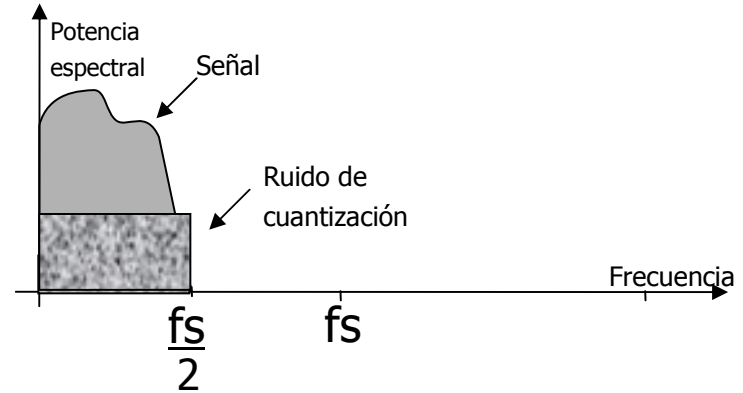
$$\text{ENOB} = \frac{\text{SNR} - 1.76\text{dB}}{6.02\text{dB}}$$

Atención! Generalmente $\text{ENOB} < \text{\#bits conversor}$

2. Conversores A-D

Promediar reduce el ruido de cuantización

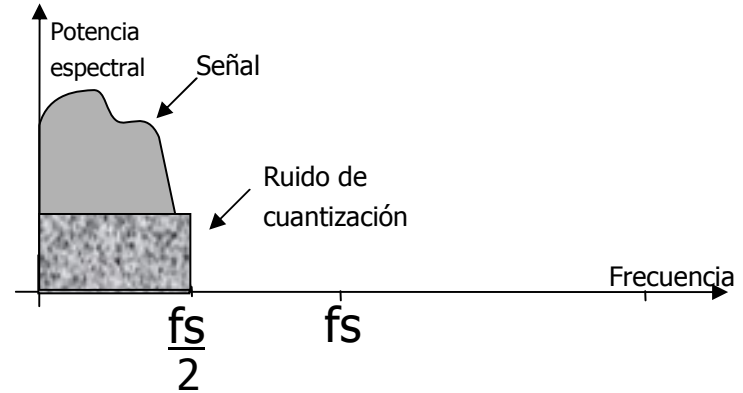
- La señal está mezclada con el ruido:
 - La cuantización introduce ruido distribuido en todas las frecuencias (“ruido blanco”).
 - Promediar elimina el ruido de alta frecuencia.



2. Conversores A-D

Promediar reduce el ruido de cuantización

- La señal está mezclada con el ruido:
 - La cuantización introduce ruido distribuido en todas las frecuencias (“ruido blanco”).
 - Promediar elimina el ruido de alta frecuencia.



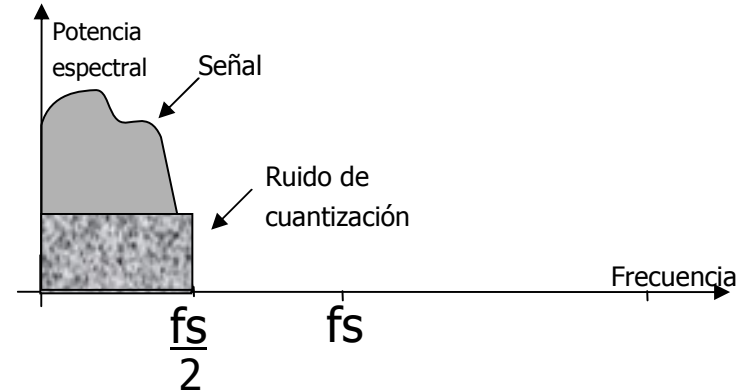
- Tomando una conversión por muestra:

$$SNR = 6.02N + 1.76dB$$

2. Conversores A-D

Promediar reduce el ruido de cuantización

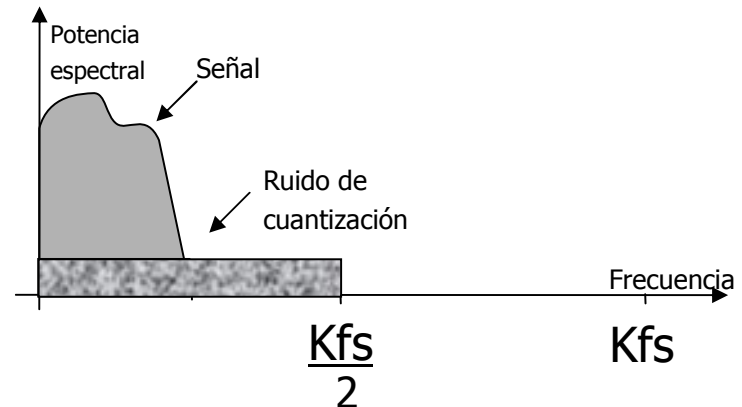
- La señal está mezclada con el ruido:
 - La cuantización introduce ruido distribuido en todas las frecuencias (“ruido blanco”).
 - Promediar elimina el ruido de alta frecuencia.



- Tomando una conversión por muestra:

$$SNR = 6.02N + 1.76dB$$

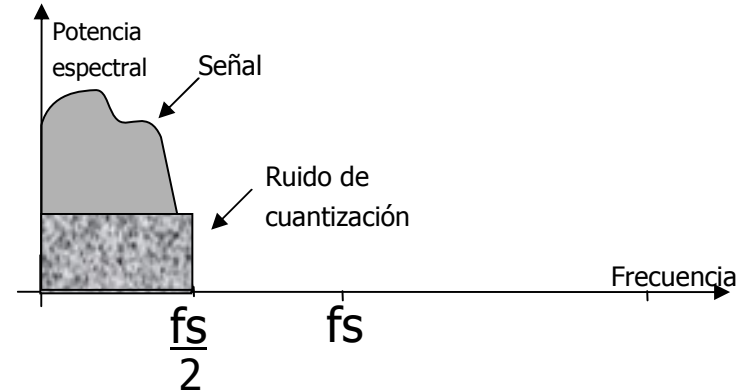
- Muestreando K veces



2. Conversores A-D

Promediar reduce el ruido de cuantización

- La señal está mezclada con el ruido:
 - La cuantización introduce ruido distribuido en todas las frecuencias (“ruido blanco”).
 - Promediar elimina el ruido de alta frecuencia.



- Tomando una conversión por muestra:

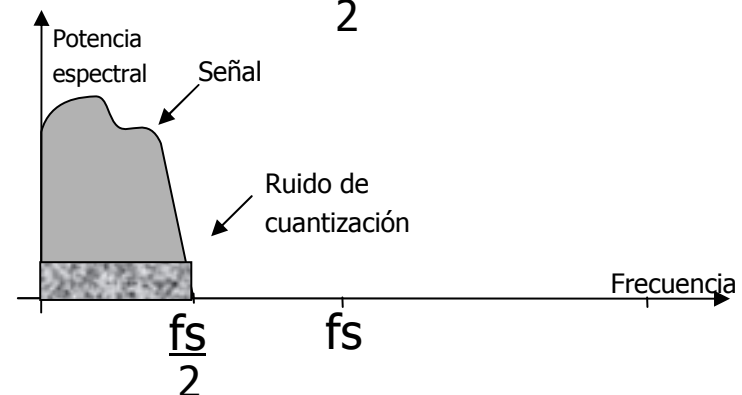
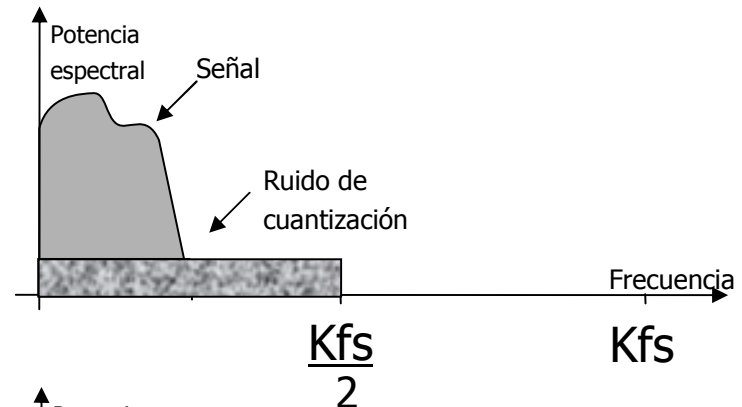
$$SNR = 6.02N + 1.76dB$$

- Muestreando K veces y promediando:

$$SNR = 6.02N + 1.76dB + 10\log_{10}\left(\frac{Kf_s/2}{f_s/2}\right)$$

$$SNR = 6.02N + 1.76dB + 10\log_{10} K$$

Se consigue mejorar la SNR en
un factor de K veces



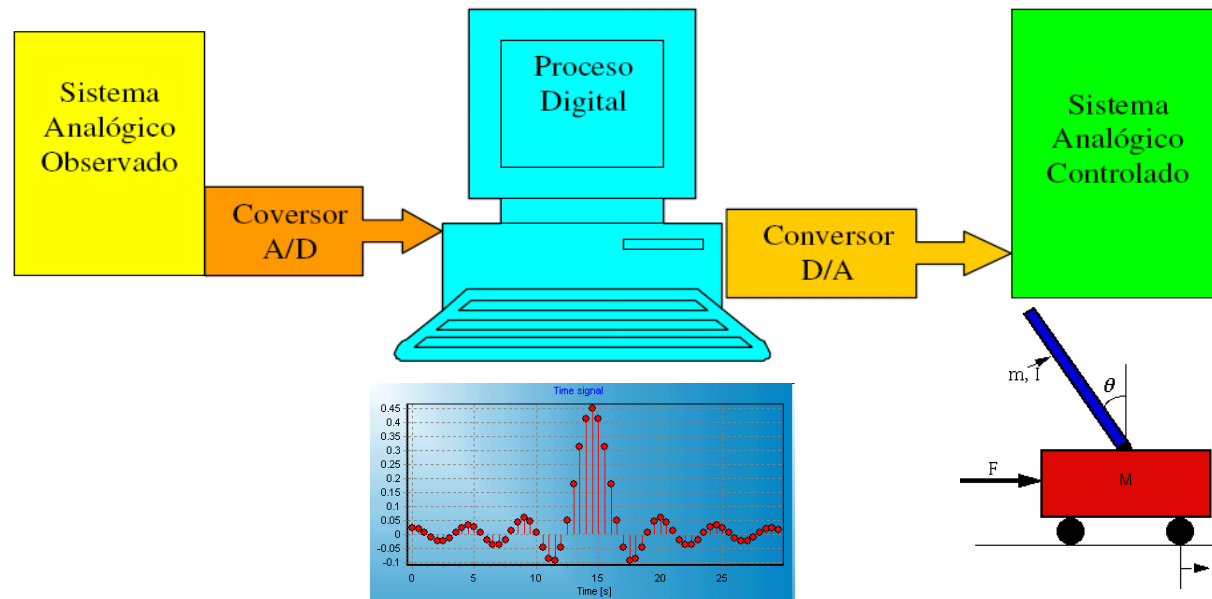
1. Introducción a conversión A-D

Ventajas de la señal digital

1. Puede replicarse sin pérdida de calidad (CD, repetidores, etc).
2. Pueden detectarse y corregirse errores (ej. CD/DVD, CRC, etc.)
3. Procesamiento digital y compresión (MP3, JPG, etc.)

Desventajas de la señal digital

1. Requiere conversores A/D y D/A
2. Introduce ruido de cuantización que limita la resolución.

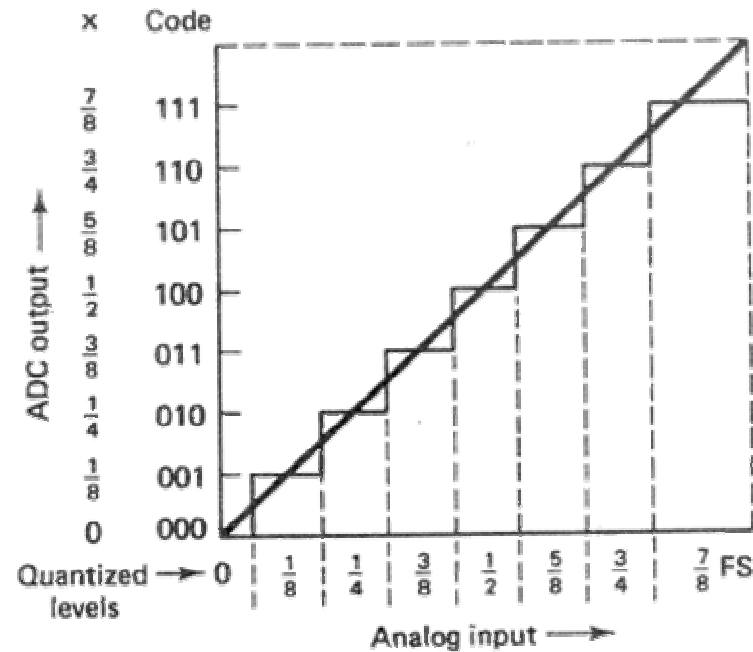
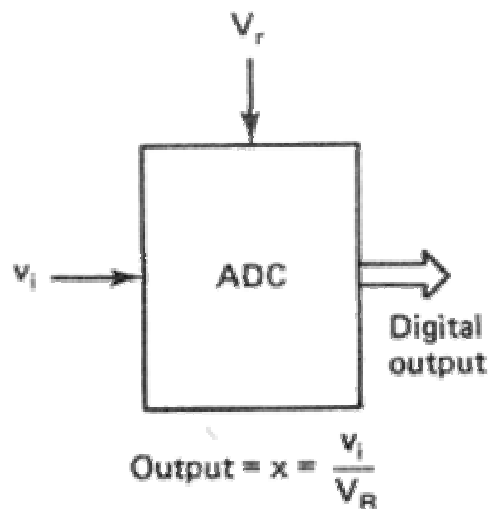


```
10110110 (Quotient)
11001 | 111001100000 (Four 0s added)
      11001
      ---
      001011
      00000
      ---
      010111
      11001
      ---
      011100
      11001
      ---
      001010
      00000
      ---
      010100
      11001
      ---
      011010
      11001
      ---
      000110
      00000
      ---
      0110 (CRC checksum)
```

1. Introducción a conversión A-D

Tensión de referencia

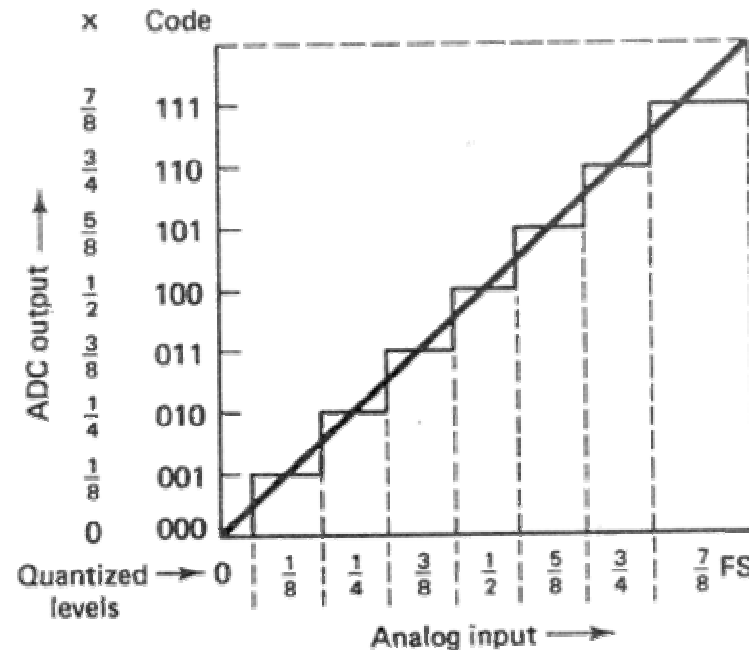
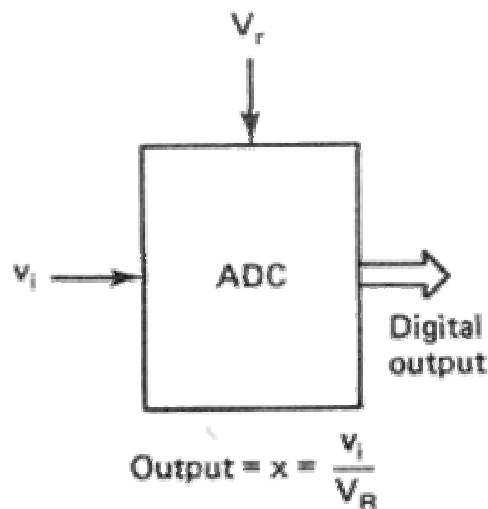
- Un conversor AD indica la proporción entre la señal de entrada y la *tensión de referencia*:



1. Introducción a conversión A-D

Tensión de referencia

- Un conversor AD indica la proporción entre la señal de entrada y la *tensión de referencia*:



La **calidad de la conversión** depende de **la calidad de la tensión de referencia**.

- Existen fuentes de referencia con alta exactitud, estabilidad térmica y bajo ruido:

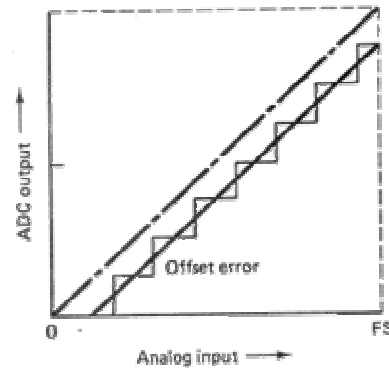
Ejemplo: *MAX6325*, $V_{\text{OUT}} = 2.5\text{V} \pm 0.04\% @ 25^\circ\text{C}$, $1 \text{ ppm}/^\circ\text{C}$, $1.5\mu\text{V}_{\text{pp}}$, U\$S 6.69

1. Introducción a conversión A-D

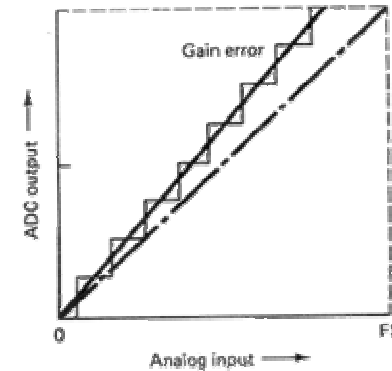
Errores de conversión

- Errores lineales: son corregibles mediante ajustes sencillos:

- Error de offset →

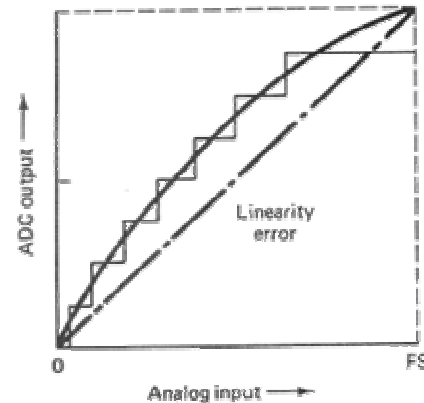


- Error de ganancia →

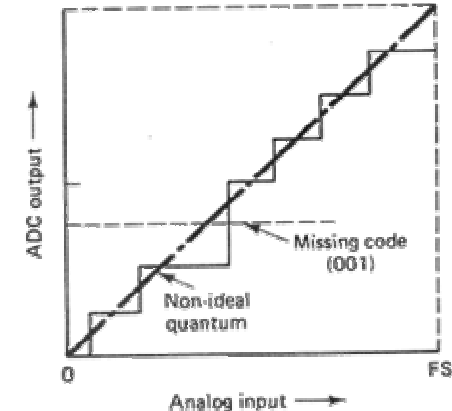


- Errores no lineales: son difíciles de corregir:

- Error de alinealidad →



- Error de alinealidad →



1. Introducción a conversión A-D

Circuito sample&hold (muestreo y retención)

- Durante el *tiempo de conversión* (t_c) la señal debe variar menos que $q/2$.

1. Introducción a conversión A-D

Circuito sample&hold (muestreo y retención)

- Durante el *tiempo de conversión* (t_c) la señal debe variar menos que $q/2$.

Ejemplo

Para un ADC de $N=8$ bits, con $t_c = 100\mu s$ (10KHz) y $v_i = \left(\frac{2^N q}{2}\right) \cdot \sin(2\pi ft)$

Resulta: $\frac{dv_i}{dt} = 2\pi f \left(\frac{2^N q}{2}\right) \cos(2\pi ft) \rightarrow \left.\frac{dv_i}{dt}\right|_{MAX} = 2\pi f \left(\frac{2^N q}{2}\right)$

Entonces: $\left.\frac{dv_i}{dt}\right|_{MAX} \leq \frac{q/2}{t_c} \rightarrow f \leq \frac{1}{2^{N+1} \pi t_c} = 6.2Hz \quad \leftarrow \text{MUY BAJO!}$

1. Introducción a conversión A-D

Circuito sample&hold (muestreo y retención)

- Durante el *tiempo de conversión* (t_c) la señal debe variar menos que $q/2$.

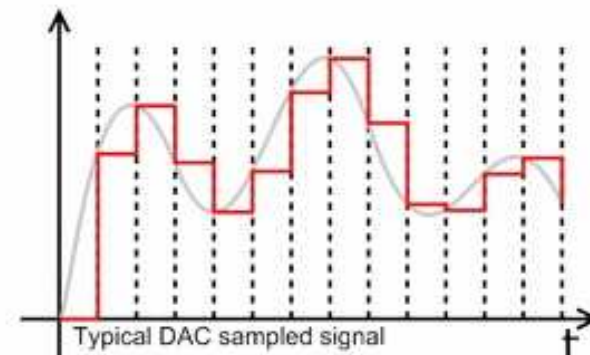
Ejemplo

Para un ADC de $N=8$ bits, con $t_c = 100\mu s$ (10KHz) y $v_i = \left(\frac{2^N q}{2}\right) \cdot \sin(2\pi ft)$

Resulta: $\frac{dv_i}{dt} = 2\pi f \left(\frac{2^N q}{2}\right) \cos(2\pi ft) \rightarrow \left.\frac{dv_i}{dt}\right|_{MAX} = 2\pi f \left(\frac{2^N q}{2}\right)$

Entonces: $\left.\frac{dv_i}{dt}\right|_{MAX} \leq \frac{q/2}{t_c} \rightarrow f \leq \frac{1}{2^{N+1} \pi t_c} = 6.2Hz \quad \leftarrow \text{MUY BAJO!}$

- Solución: circuitos sample&hold muestrean la señal y retienen su valor durante la conversión.



1. Introducción a conversión A-D

Acondicionamiento de la señal de entrada

- La señal debe aprovechar todo el rango de entrada del ADC:
 - Se aprovecha mejor la resolución del conversor
 - Se minimiza el efecto de los errores de conversión

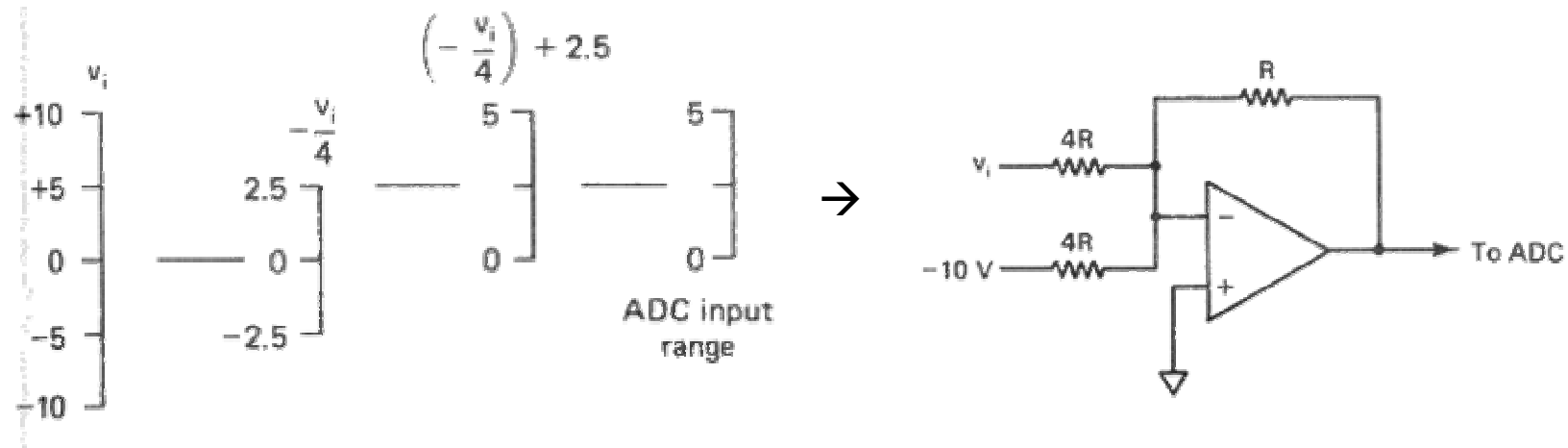
1. Introducción a conversión A-D

Acondicionamiento de la señal de entrada

- La señal debe aprovechar todo el rango de entrada del ADC:
 - Se aprovecha mejor la resolución del conversor
 - Se minimiza el efecto de los errores de conversión

Ejemplo

Se tiene una señal con rango -10 a 10 Volts y un conversor con rango $0-5$ Volts.



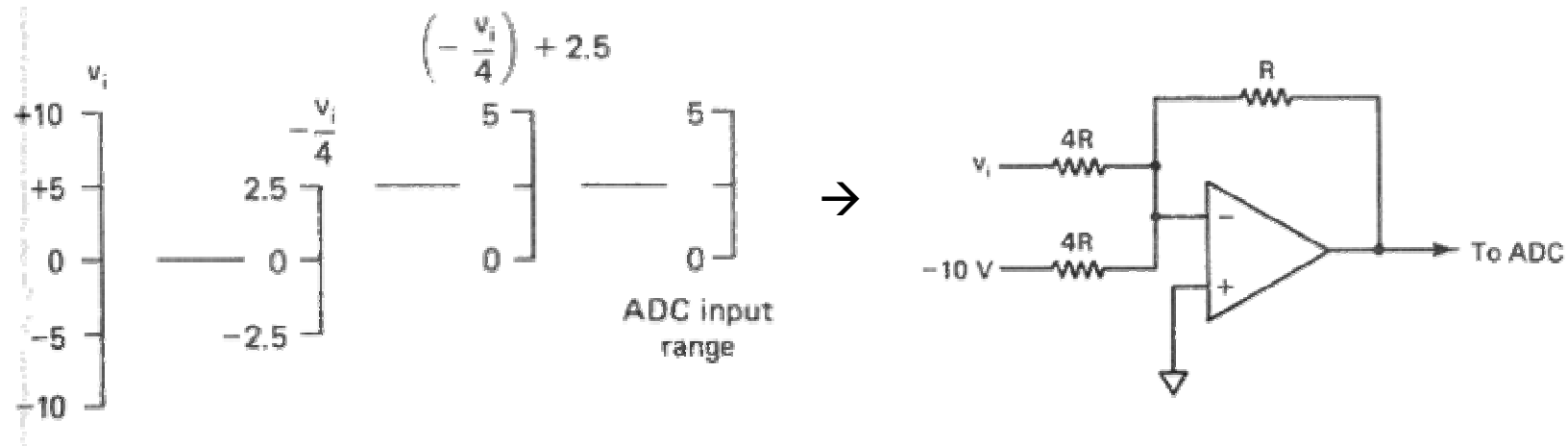
1. Introducción a conversión A-D

Acondicionamiento de la señal de entrada

- La señal debe aprovechar todo el rango de entrada del ADC:
 - Se aprovecha mejor la resolución del conversor
 - Se minimiza el efecto de los errores de conversión

Ejemplo

Se tiene una señal con rango -10 a 10 Volts y un conversor con rango $0-5$ Volts.



- Hoy en día generalmente el scaling viene integrado en los ADCs.

1. Introducción a conversión A-D

Características de los ADCs

Entradas analógicas:

- Tensión o corriente
- Unipolar o bipolar
- Número de canales
- Rango de señal

Salidas digitales:

- Resolución [Bits]
- Throughput Rate ($1/t_c$)
- Salida paralelo o serie
- Tensión 5V, 3.3V, etc.

APPLY FILTERS TO THIS TABLE									
Part# Results: 494	Product Description	Resolution (Bits)	Throughput Rate	# Chan	Full Pwr BW	Supply V	Pwr Diss	Operating Temp Range	Price* (1000 pcs.)
AD9066	Dual 6-Bit, 60 MSPS Monolithic A/D Converter	6	60MSPS	2	100MHz	Single(+5)	400mW	-40 to +85	**
AD7999	4-Channel, 8-Bit ADC with I2C Compatible Interface in 8-Lead SOT-23	8	140kSPS	4	14MHz	Single(+2.7 to +5.5)	4.7mW	-40 to +125	\$1.35
AD7468	1.8V, Micro-Power, 10-bit ADC in 6-Lead SOT-23	8	200kSPS	1	3.2MHz	Single(+1.8); Single(+2.5); Single(+3); Single(+3.3)	0.57mW	-40 to +85	\$1.16
AD7819	+2.7V to +5.5V, 200 kSPS, 8-Bit Sampling ADC	8	200kSPS	1	n/a	Single(+3); Single(+3.3); Single(+5)	17.5mW	-40 to +105	\$2.18
AD7823	2.7 V to 5.5 V, 200 kSPS, 8-Bit ADC in 8-Lead microSOIC/DIP	8	200kSPS	1	n/a	Single(+3); Single(+3.3); Single(+5)	17.5mW	-40 to +125	\$2.18
AD7478	1 MSPS, Serial-Output 8-Bit ADC in 6-Lead SOT-23	8	1MSPS	1	6.5MHz	Single(+3); Single(+3.3); Single(+5)	17.5mW	-55 to +125	\$0.96
AD7821	High Speed, μ P-Compatible, CMOS, 8-Bit Sampling ADC	8	1MSPS	1	100kHz	Dual(+5, -5); Single(+5)	100.5mW	-55 to +125	\$9.16

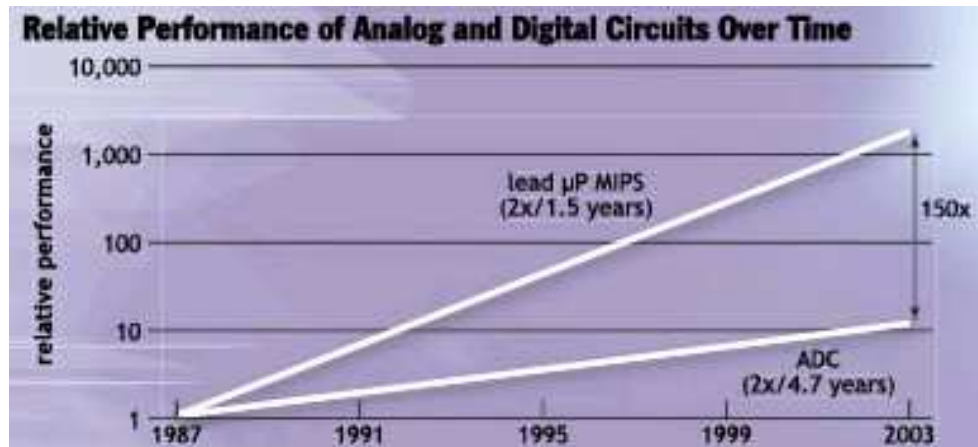
Detalles adicionales:

- Tensión de alimentación
- Consumo de potencia
- Tensión de referencia interna o externa
- Clock del conversor interno o externo
- PRECIO
- Error de offset
- Error de ganancia
- Monotonicidad
- Relación señal/ruido
- Encapsulado

1. Introducción a conversión A-D

Evolución de los ADCs

El avance de los ADCs es muy rápido, pero más lento que los circuitos digitales:

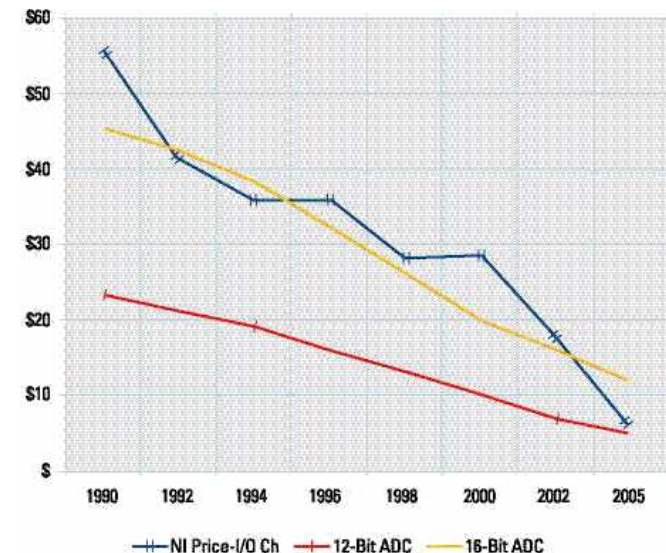


-Consecuencia (1):

Los conversores que tengan más subcircuitos internos digitales evolucionarán más rápidamente que los que tengan más subcircuitos internos analógicos.

- Consecuencia (2):

Usar más partes digitales reduce el costo:



2. Conversores A-D

2. Conversores A-D

Comparación de tecnologías de ADC

La tecnología a utilizar depende de los requisitos de la aplicación.

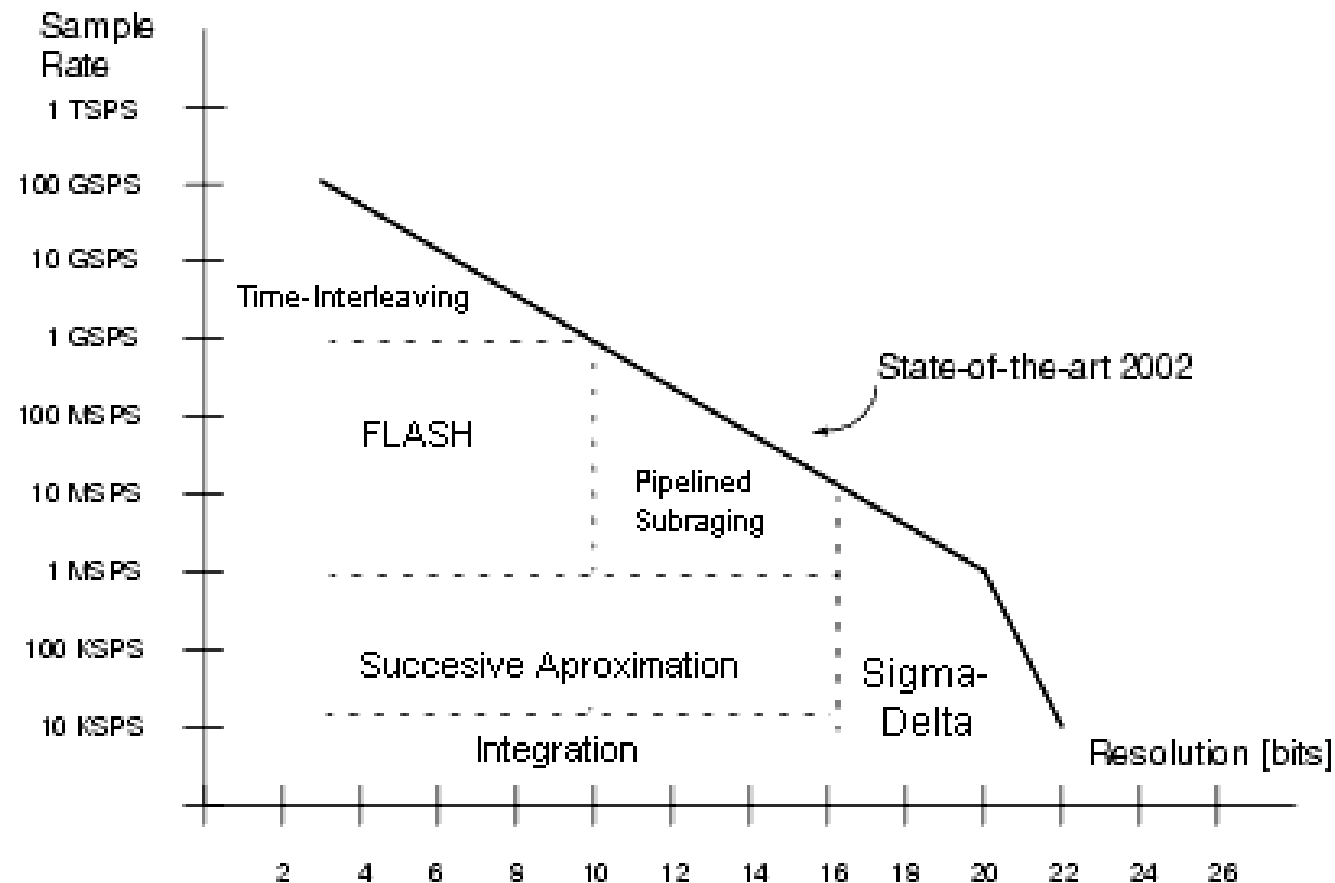
Veamos las características de las principales tecnologías:

TECNOLOGÍA	VELOCIDAD	RESOLUCIÓN	INMUNIDAD AL RUIDO	PRECIO	CONSUMO
Time Interleaving	Muy rápido	4-10 bits	No	Alto	Muy alto
Flash	Rápido	4-10 bits	No	Medio	Alto
Pipelined Subranging	Rápido	10-16 bits	No	Alto	Medio
Successive Approximation	Medio	10-16 bits	Escasa	Bajo	Bajo
Integrating	Lento	12-18 bits	Buena	Bajo	Medio
Sigma-Delta	Lento	12-24 bits	Muy buena	Bajo	Muy bajo

→ Existe relaciones de compromiso al elegir la tecnología del ADC

2. Conversores A-D

Comparación de tecnologías de ADC



Veamos en detalle cada una de las tecnologías...

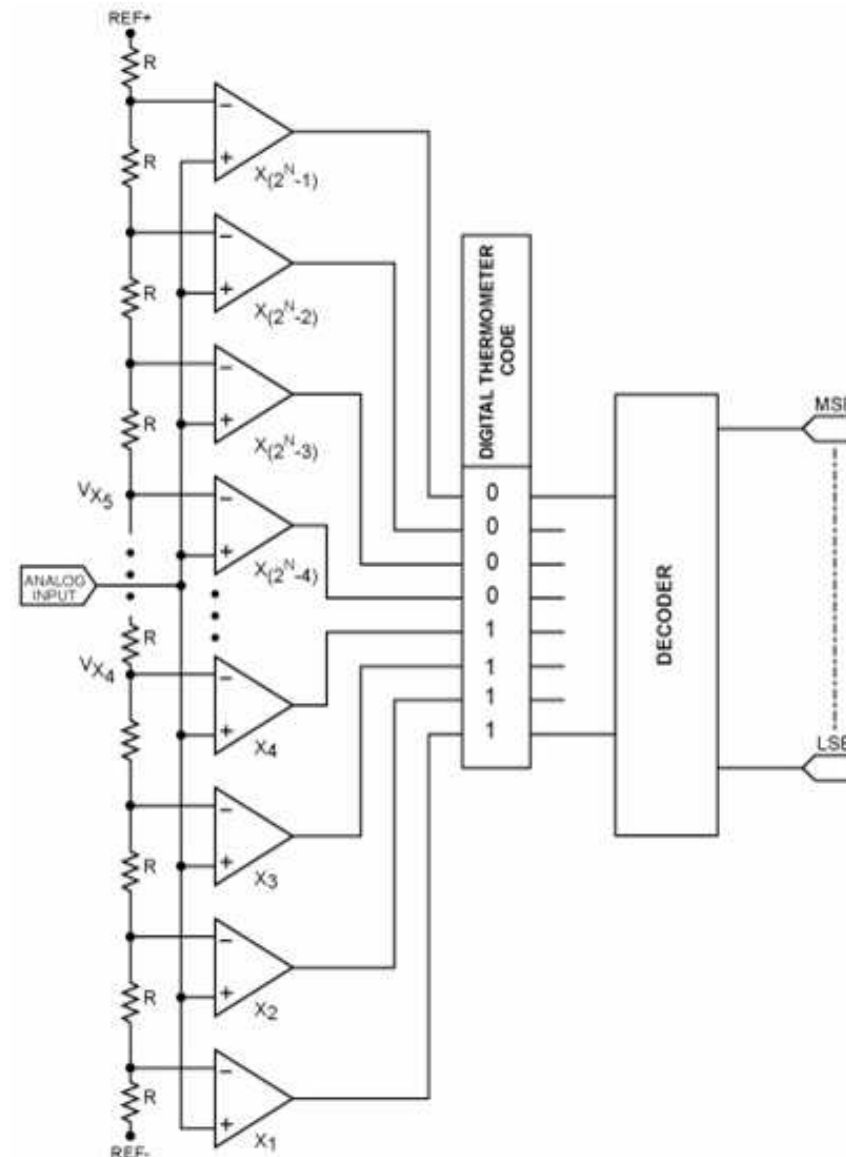
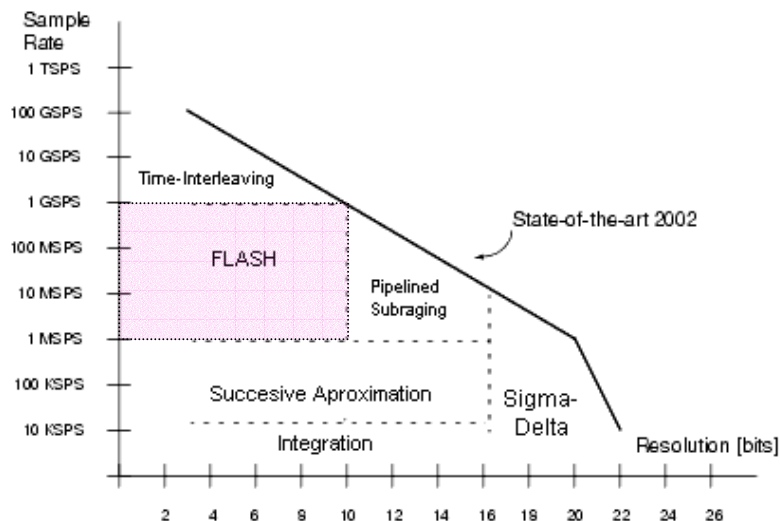
2. Conversores A-D

a. ADC – Flash converters

Realiza la conversión de manera inmediata en una única operación.

La salida es inherentemente digital.

La cadena de resistores imposibilita más de ~8 bits de resolución (255 resistores) y/o impone un alto costo \$\$\$.



2. Conversores A-D

a. ADC – Flash converters (ejemplo)



8-Bit, 50 MSPS/80 MSPS/100 MSPS
3 V A/D Converter

AD9283

U\$S 5.20/9.50

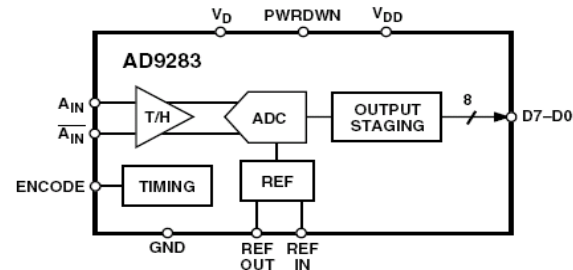
FEATURES

8-Bit, 50, 80, and 100 MSPS ADC
Low Power: 90 mW at 100 MSPS
On-Chip Reference and Track/Hold
475 MHz Analog Bandwidth
SNR = 46.5 dB @ 41 MHz at 100 MSPS
1 V p-p Analog Input Range
Single 3.0 V Supply Operation (2.7 V–3.6 V)
Power-Down Mode: 4.2 mW

APPLICATIONS

Battery Powered Instruments
Hand-Held Scopemeters
Low Cost Digital Oscilloscopes

FUNCTIONAL BLOCK DIAGRAM



GENERAL DESCRIPTION

The AD9283 is an 8-bit monolithic sampling analog-to-digital converter with an on-chip track-and-hold circuit and is optimized for low cost, low power, small size and ease of use. The product operates at a 100 MSPS conversion rate, with outstanding dynamic performance over its full operating range.

The ADC requires only a single 3.0 V (2.7 V to 3.6 V) power supply and an encode clock for full performance operation. No external reference or driver components are required for many applications. The digital outputs are TTL/CMOS compatible and a separate output power supply pin supports interfacing with 3.3 V or 2.5 V logic.

The encoder input is TTL/CMOS compatible. A power-down function may be exercised to bring total consumption to 4.2 mW. In power-down mode, the digital outputs are driven to a high impedance state.

Fabricated on an advanced CMOS process, the AD9283 is available in a 20-lead surface mount plastic package (SSOP) specified over the industrial temperature range (–40°C to +85°C).

2. Conversores A-D

a. ADC – Flash converters (ejemplo)



8-Bit, 50 MSPS/80 MSPS/100 MSPS
3 V A/D Converter

AD9283

U\$S 5.20/9.50

FEATURES

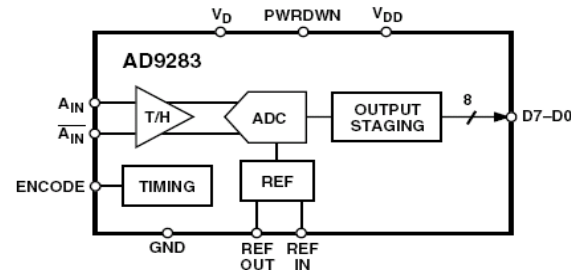
8-Bit, 50, 80, and 100 MSPS ADC
Low Power: 90 mW at 100 MSPS
On-Chip Reference and Track/Hold
475 MHz Analog Bandwidth
SNR = 46.5 dB @ 41 MHz at 100 MSPS
1 V p-p Analog Input Range
Single 3.0 V Supply Operation (2.7 V–3.6 V)
Power-Down Mode: 4.2 mW

APPLICATIONS

Battery Powered Instruments
Hand-Held Scopemeters
Low Cost Digital Oscilloscopes

ENOB
= 7.43

FUNCTIONAL BLOCK DIAGRAM



GENERAL DESCRIPTION

The AD9283 is an 8-bit monolithic sampling analog-to-digital converter with an on-chip track-and-hold circuit and is optimized for low cost, low power, small size and ease of use. The product operates at a 100 MSPS conversion rate, with outstanding dynamic performance over its full operating range.

The ADC requires only a single 3.0 V (2.7 V to 3.6 V) power supply and an encode clock for full performance operation. No external reference or driver components are required for many applications. The digital outputs are TTL/CMOS compatible and a separate output power supply pin supports interfacing with 3.3 V or 2.5 V logic.

The encoder input is TTL/CMOS compatible. A power-down function may be exercised to bring total consumption to 4.2 mW. In power-down mode, the digital outputs are driven to a high impedance state.

Fabricated on an advanced CMOS process, the AD9283 is available in a 20-lead surface mount plastic package (SSOP) specified over the industrial temperature range (–40°C to +85°C).

2. Conversores A-D

a. ADC – Flash converters (importancia del layout en la velocidad)

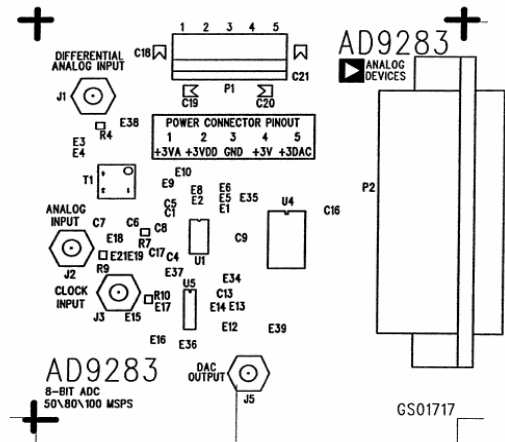


Figure 7. Printed Circuit Board Top Side Silkscreen

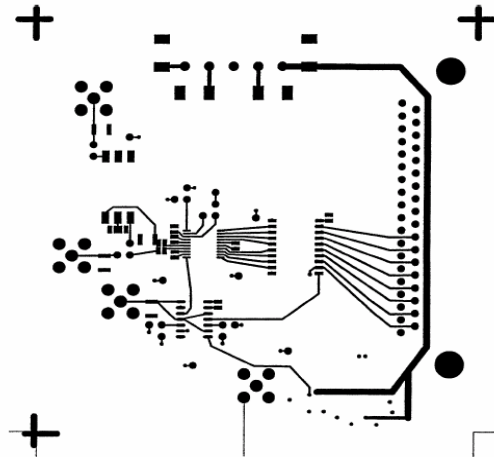


Figure 9. Printed Circuit Board Top Side Copper

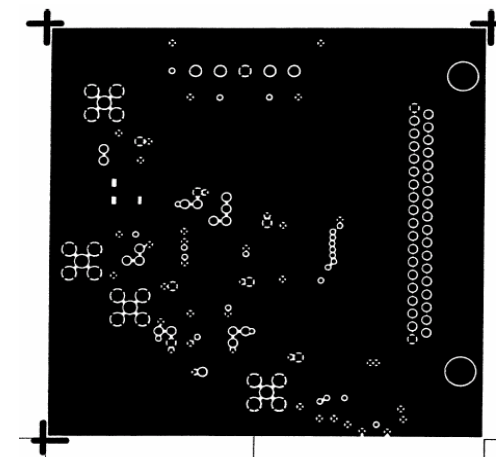


Figure 11. Printed Circuit Board Ground Layer

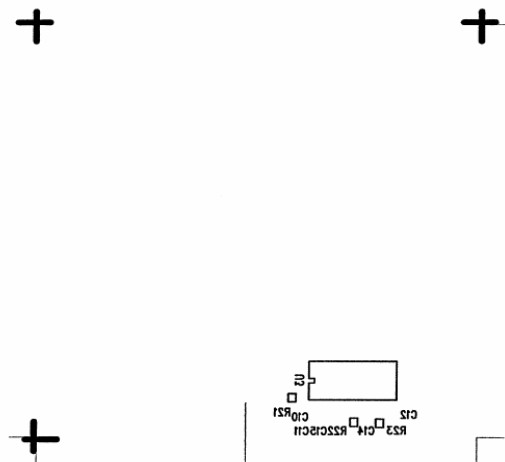


Figure 8. Printed Circuit Board Bottom Side Silkscreen

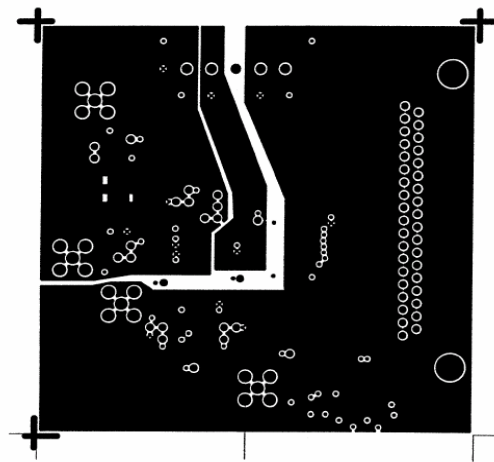


Figure 10. Printed Circuit Board "Split" Power Layer

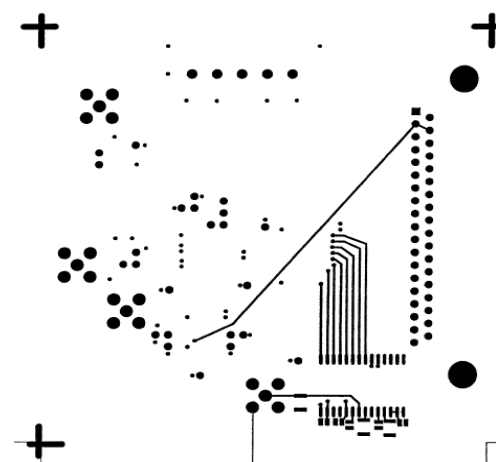


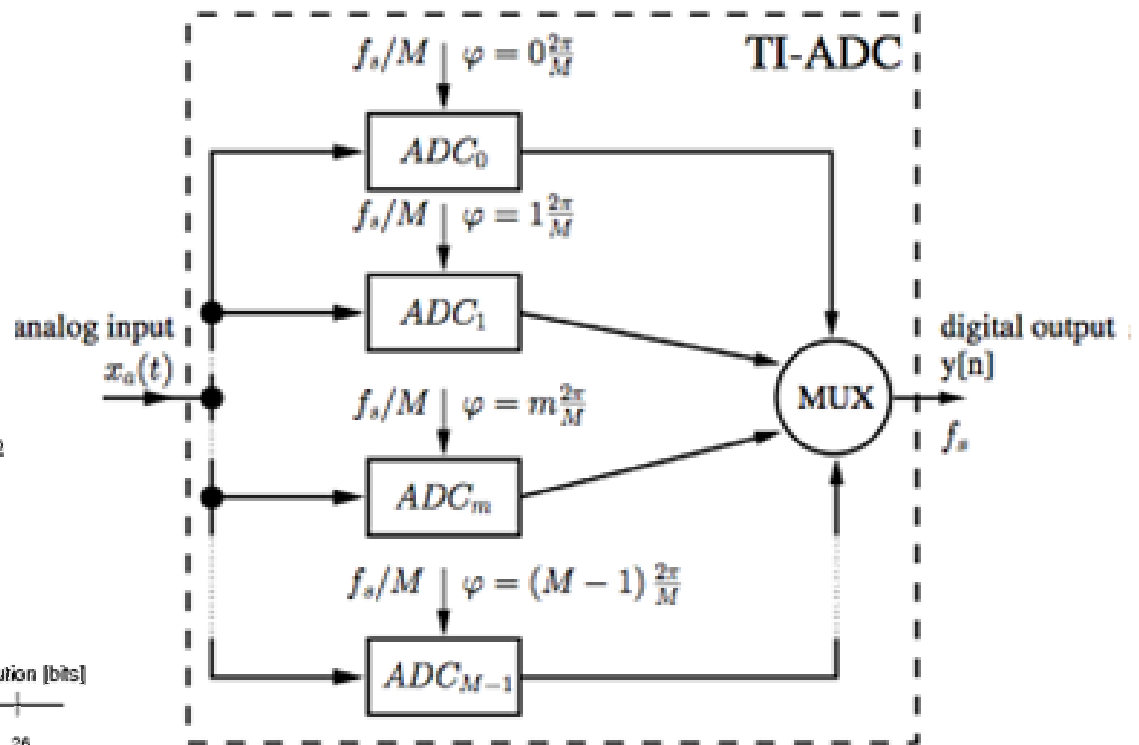
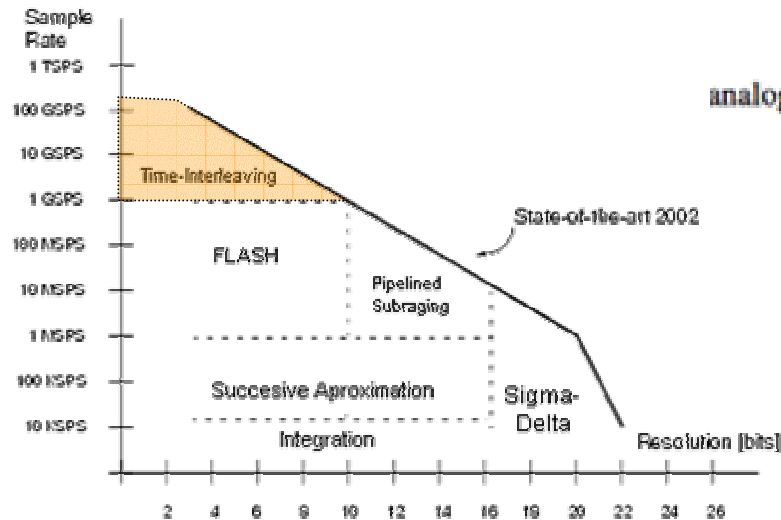
Figure 12. Printed Circuit Board Bottom Side Copper

2. Conversores A-D

b. ADC – Time Interleaved

La idea de estos conversores es usar un sistema de M canales en paralelo que convierten alternativamente a la señal y alimentan a un MUX.

El resultado es un conversor M veces más rápido que cada conversor individual.



2. Conversores A-D

b. ADC – Time Interleaved

A CMOS 15-Bit 125-MS/s Time-Interleaved ADC with Digital Background Calibration

Zwei-Mei Lee, Cheng-Yeh Wang, and Jieh-Tsorng Wu

Department of Electronics Engineering, National Chiao-Tung University, Hsin-Chu 300, Taiwan

Abstract—A 15-bit 125-MS/s two-channel time-interleaved pipelined ADC is fabricated in a $0.18\ \mu\text{m}$ CMOS technology, and achieves 91.9 dB SFDR, 69.9 dB SNDR for a 9.99 MHz input. The ADC uses a single sample-and-hold amplifier which employs a precharging circuit technique to mitigate the performance requirements for its opamp. Digital background calibration is applied to maintain the conversion linearity of each A/D channel and also correct both gain and offset mismatches between the two channels. Excluding I/O buffers, the chip occupies an area of $4.3 \times 4.3\ \text{mm}^2$ and dissipates 909 mW from a 1.8 V supply.

I. INTRODUCTION

High-resolution high-speed Nyquist-rate analog-to-digital converters (ADCs) have been predominantly realized using the pipeline architecture. High-gain opamps with linear feedback are often used to ensure the linearity of sample-and-hold amplifiers and pipeline stages. To achieve more than 14-bit

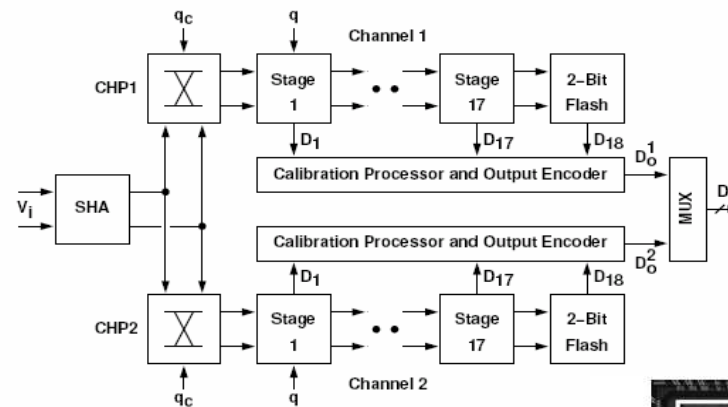


Fig. 1. ADC block diagram.

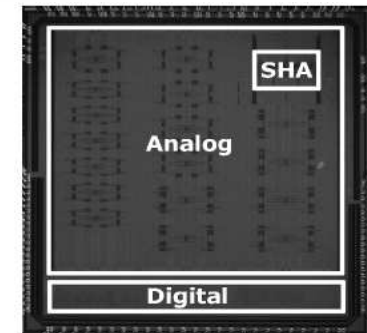
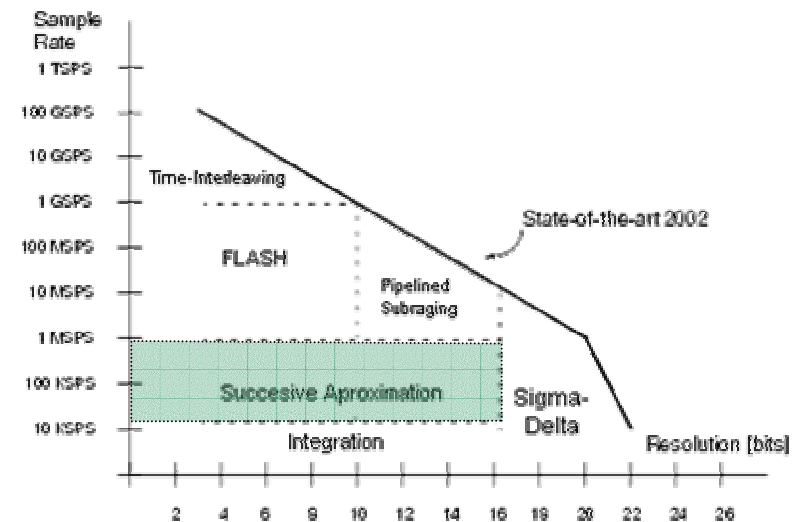


Fig. 10. Die micrograph of the prototyping ADC.

2. Conversores A-D

c. ADC – Successive Aproximation

- Es apto para aplicaciones de baja resolución y velocidad.
- Su bajo costo posibilita integrarlo en microcontroladores baratos.

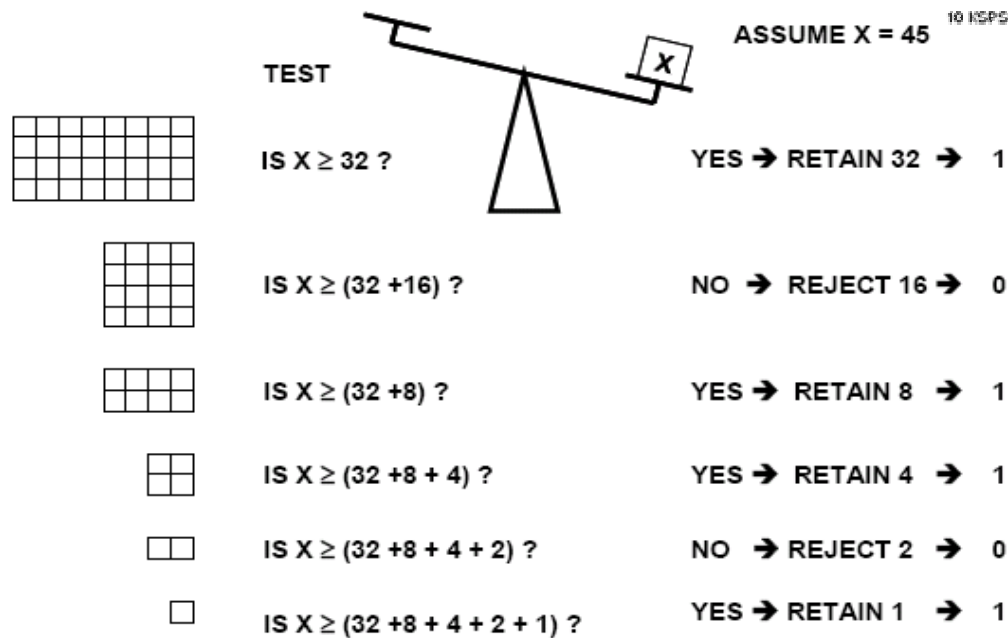


2. Conversores A-D

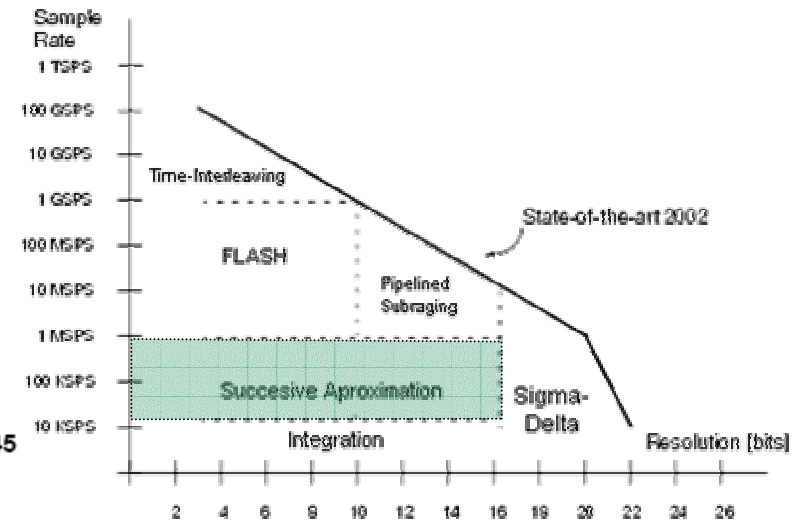
c. ADC – Succesive Aproximation

- Es apto para aplicaciones de baja resolución y velocidad.
- Su bajo costo posibilita integrarlo en microcontroladores baratos.

Su algoritmo de funcionamiento es:



TOTALS: $X = 32 + 8 + 4 + 1 = 45_{10} = 101101_2$

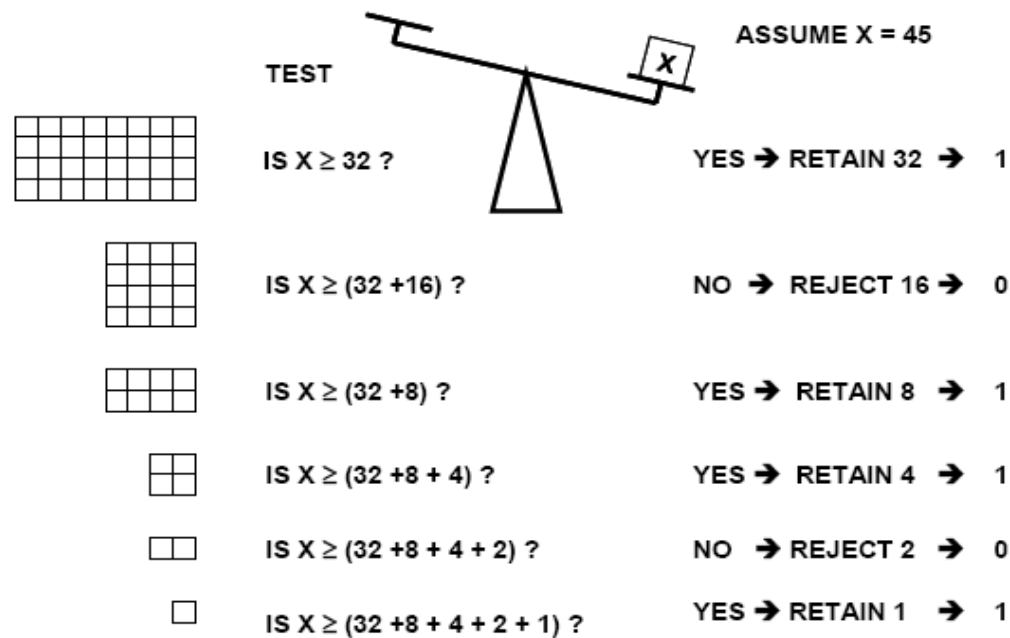


2. Conversores A-D

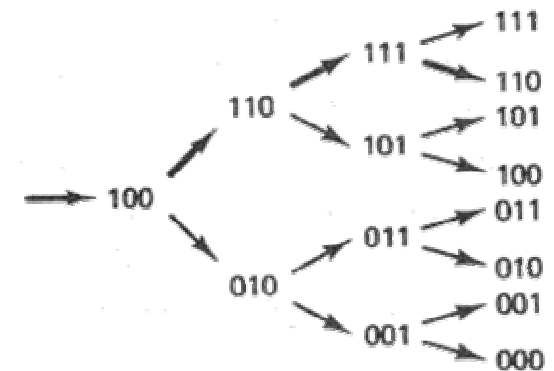
c. ADC – Succesive Aproximation

- Es apto para aplicaciones de baja resolución y velocidad.
- Su bajo costo posibilita integrarlo en microcontroladores baratos.

Su algoritmo de funcionamiento es:



TOTALS: $X = 32 + 8 + 4 + 1 = 45_{10} = 101101_2$

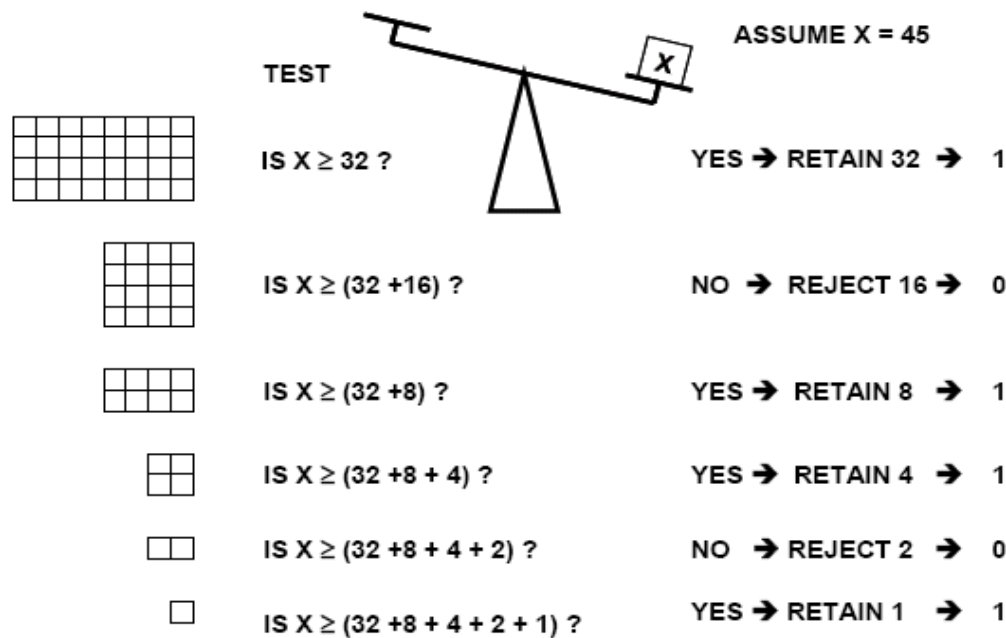


2. Conversores A-D

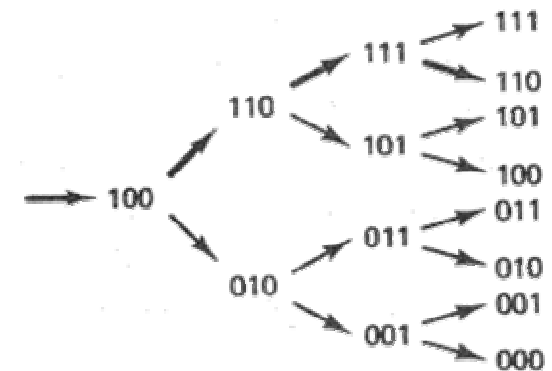
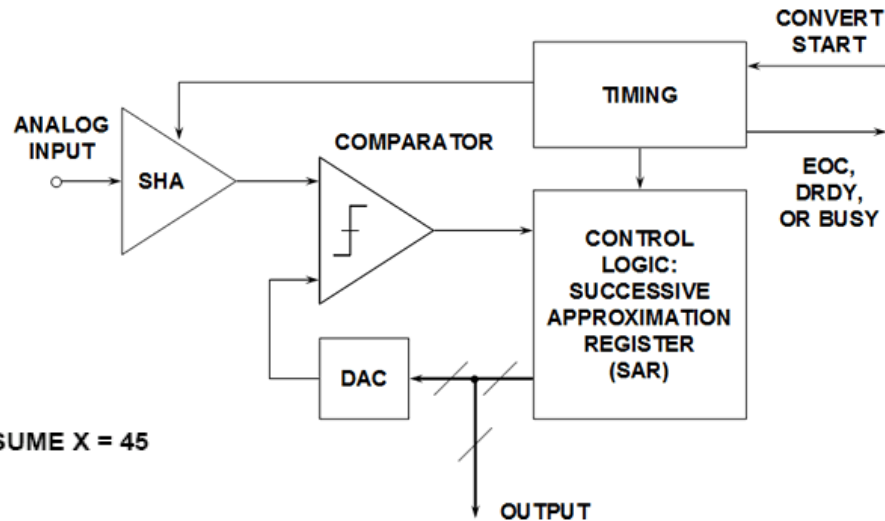
c. ADC – Successive Approximation

- Es apto para aplicaciones de baja resolución y velocidad.
- Su bajo costo posibilita integrarlo en microcontroladores baratos.

Su algoritmo de funcionamiento es:



TOTALS: $X = 32 + 8 + 4 + 1 = 45_{10} = 101101_2$



2. Conversores A-D

c. ADC – Successive Approximation (ejemplo)



8-Channel, Software-Selectable,
True Bipolar Input, 12-Bit Plus Sign ADC

AD7328

U\$S 2.60

FEATURES

- 12-bit plus sign SAR ADC
- True bipolar input ranges
- Software-selectable input ranges
 $\pm 10\text{ V}$, $\pm 5\text{ V}$, $\pm 2.5\text{ V}$, 0 V to $+10\text{ V}$
- 1 MSPS throughput rate
- 8 analog input channels with channel sequencer
- Single-ended, true differential, and pseudo differential analog input capability
- High analog input impedance
- Low power: 21 mW
- Temperature indicator
- Full power signal bandwidth: 22 MHz
- Internal 2.5 V reference
- High speed serial interface
- Power-down modes
- 20-lead TSSOP package
- iCMOS process technology

FUNCTIONAL BLOCK DIAGRAM

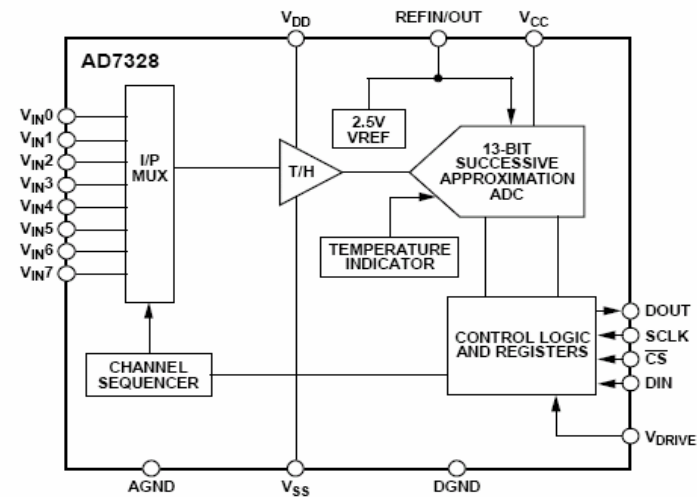
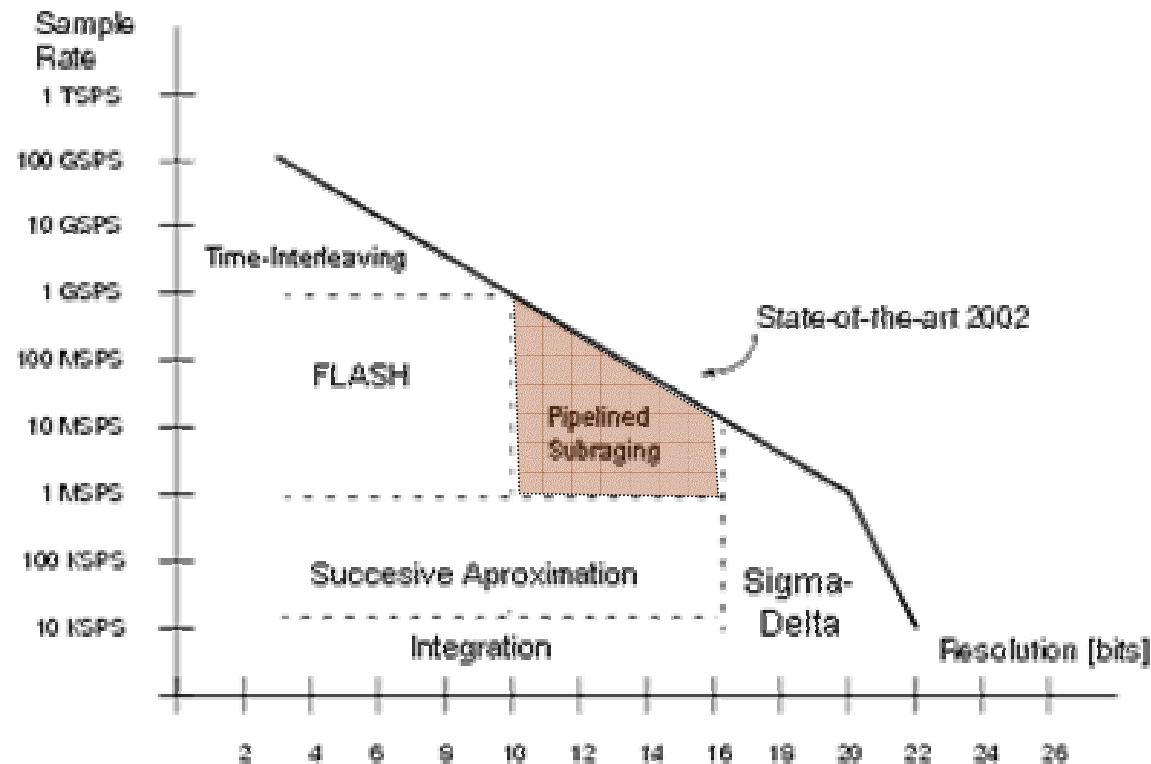


Figure 1.

2. Conversores A-D

d. ADC – Pipelined subranging

Utilizan una estructura en cascada tipo tubería (pipeline), donde la conversión se realiza sucesivamente sobre fracciones cada vez menores de V_{in} (subranging).

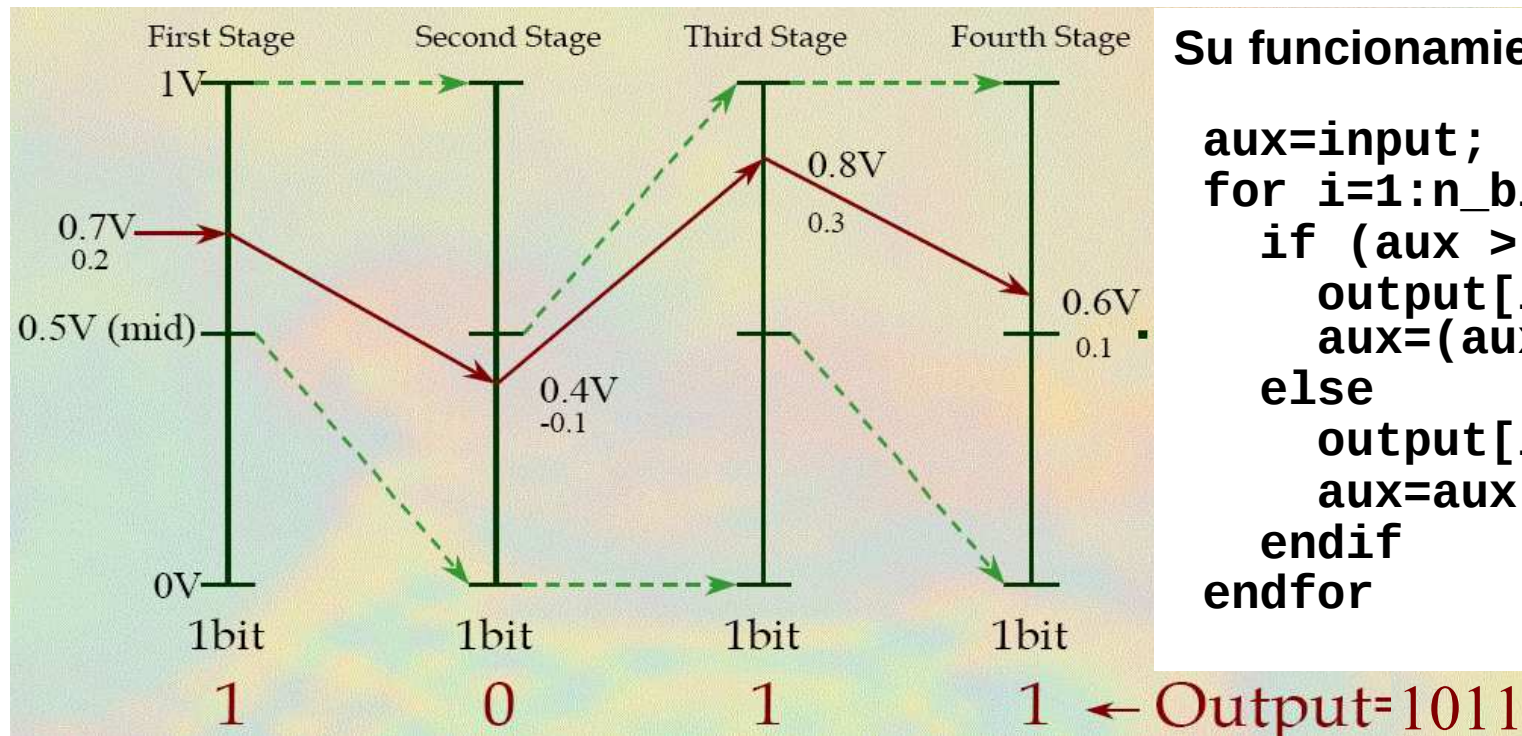


2. Conversores A-D

d. ADC – Pipelined subranging

Utilizan una estructura en cascada tipo tubería (pipeline), donde la conversión se realiza sucesivamente sobre fracciones cada vez menores de V_{in} (subranging).

- Por ejemplo, en un ADC subranging de 4 etapas de rango 0–1 Volts y una señal de entrada de 0.7 Volts el funcionamiento sería el siguiente:



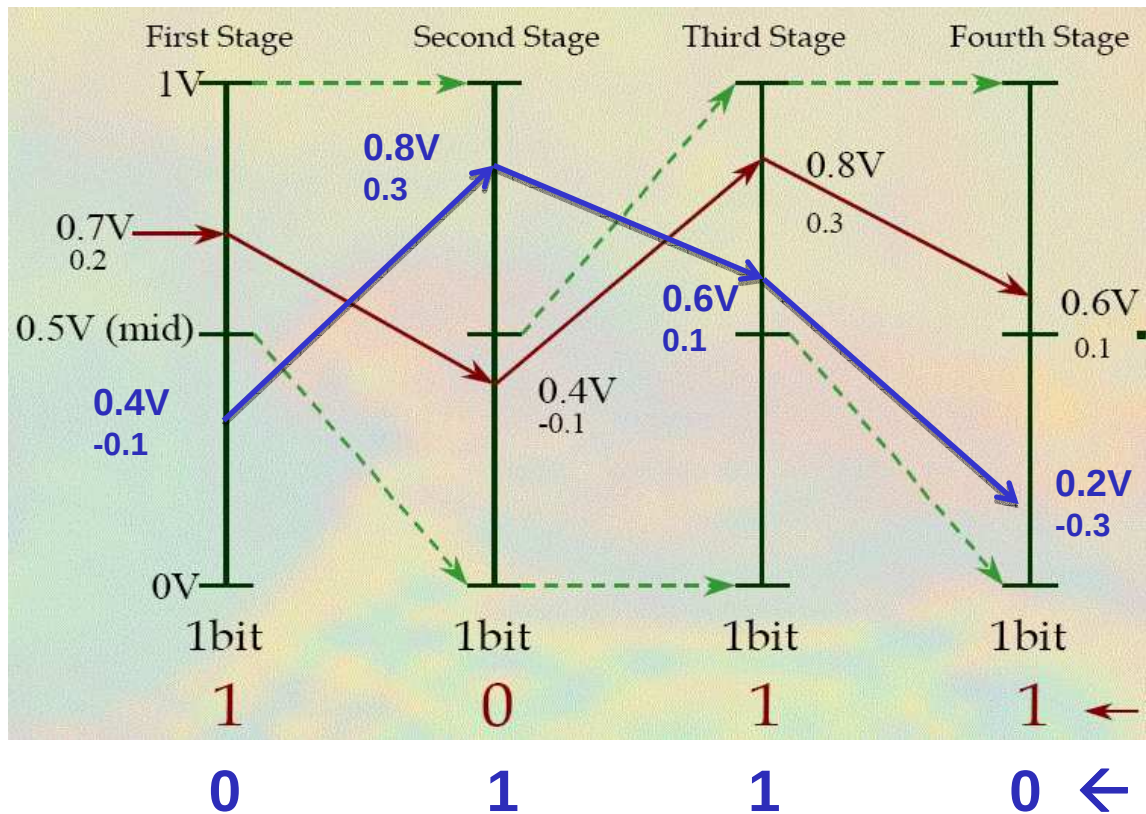
Ejercicio: repitan ustedes para el caso $V_{in} = 0.4$ Volts.

2. Conversores A-D

d. ADC – Pipelined subranging (ejemplo)

Para un ADC subranging de 4 etapas de 1 bits y de rango 0–1 Volts, y una señal de entrada de 0.4 Volts indique las tensiones y conversiones en cada etapa.

Resolución



Su funcionamiento es:

```
aux=input;
for i=1:n_bits,
    if (aux > Vref/2)
        output[i]=1
        aux=(aux-0.5)*2;
    else
        output[i]=0;
        aux=aux*2;
    endif
endfor
```

1 ← Output=1011

0 ← Output = 0110

2. Conversores A-D

d.ADC – Pipelined subranging (ejemplo)



10-Bit, 40 MSPS, 3 V, 74 mW
A/D Converter

AD9203

U\$S 7.75

FEATURES

CMOS 10-Bit, 40 MSPS sampling A/D converter
Power dissipation: 74 mW (3 V supply, 40 MSPS)
17 mW (3 V supply, 5 MSPS)
Operation between 2.7 V and 3.6 V supply
Differential nonlinearity: -0.25 LSB
Power-down (standby) mode, 0.65 mW
ENOB: 9.55 @ $f_{IN} = 20$ MHz
Out-of-range indicator
Adjustable on-chip voltage reference
IF undersampling up to $f_{IN} = 130$ MHz
Input range: 1 V to 2 V p-p differential or single-ended
Adjustable power consumption
Internal clamp circuit

APPLICATIONS

CCD imaging
Video
Portable instrumentation
IF and baseband communications
Cable modems
Medical ultrasound

FUNCTIONAL BLOCK DIAGRAM

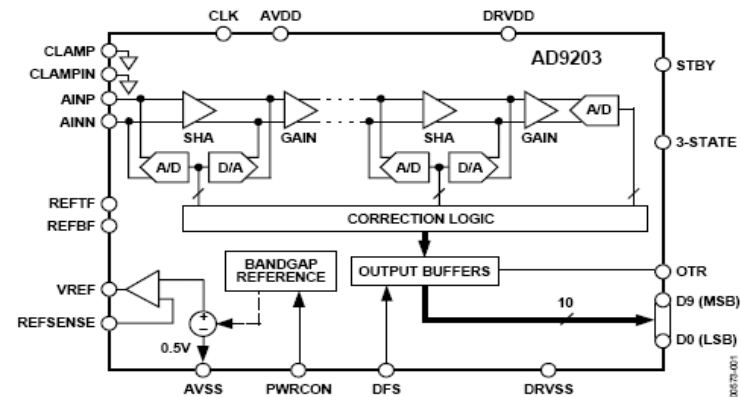
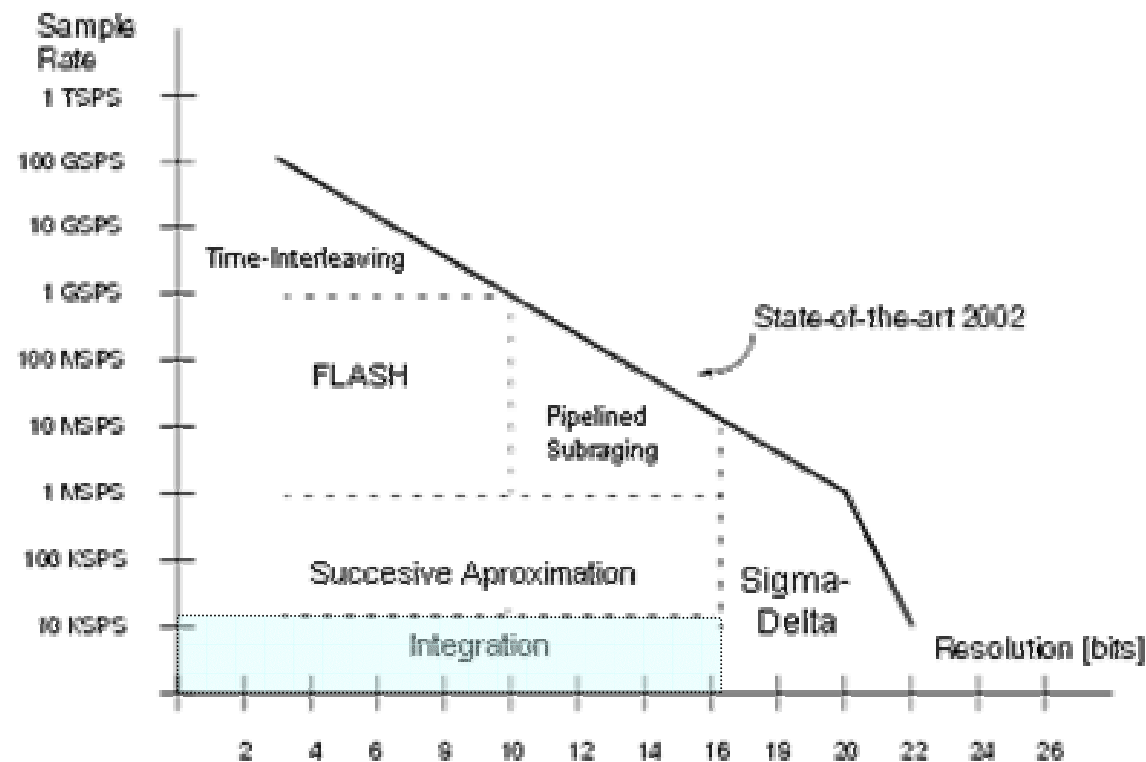


Figure 1.

2. Conversores A-D

e. ADC – de integración

- Hoy en día es obsoleto y fue ampliamente superado por el Sigma-Delta:



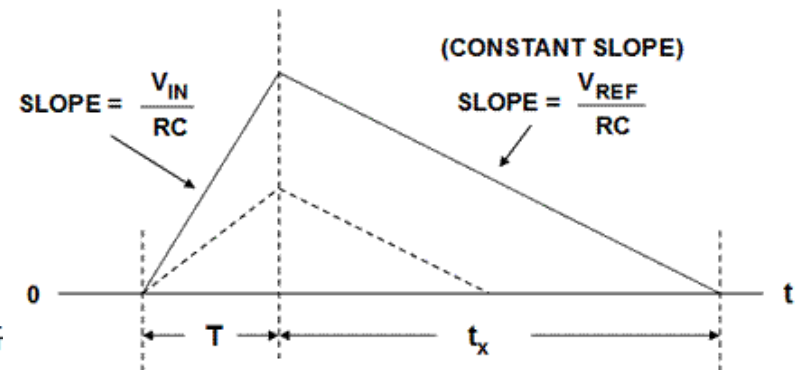
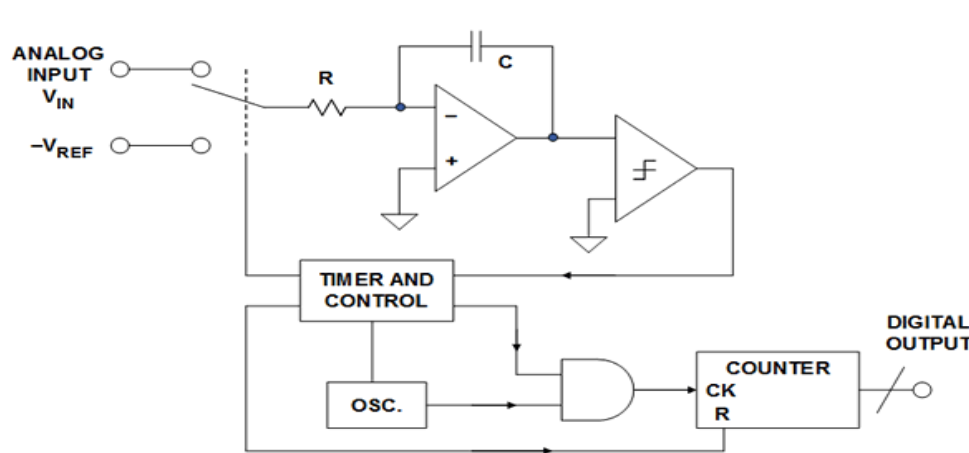
- Pero veamos igualmente cómo funciona...

2. Conversores A-D

e. ADC – de integración

- La señal de entrada se integra por un tiempo T que se controla con R y C
- Luego el integrador se descarga a una tensión $-V_{REF}$ conocida y se mide t_x .

Entonces:
$$T v_{in} = t_x V_{REF} \Rightarrow v_{in} = V_{REF} \frac{t_x}{T}$$

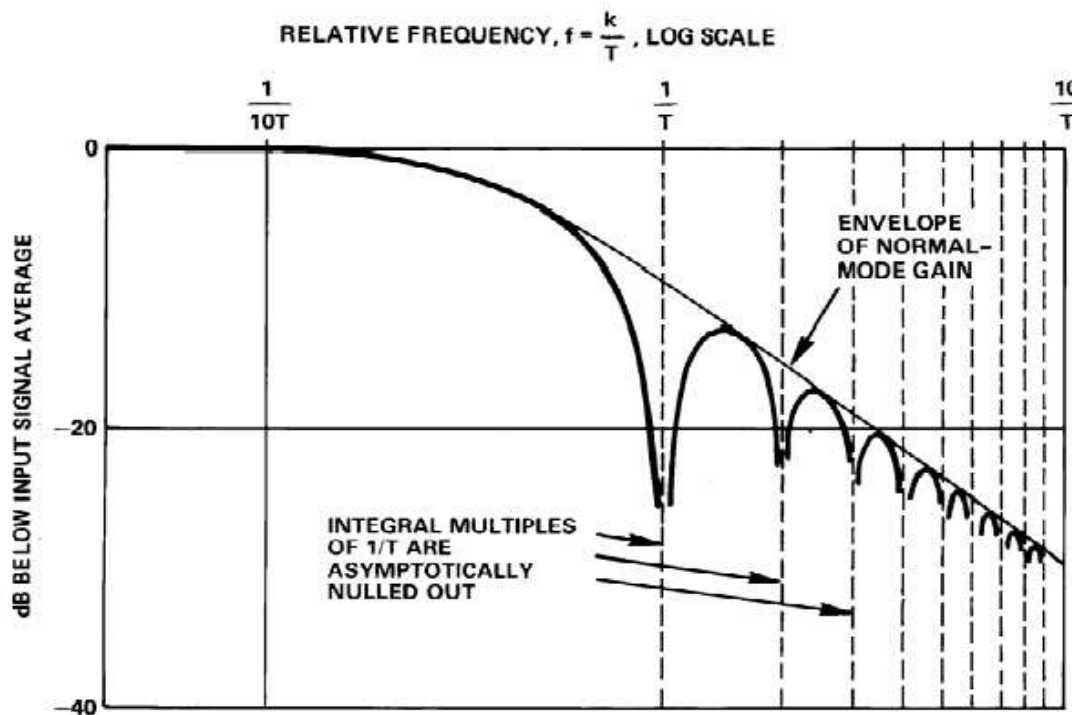


- La resolución depende de la cantidad de pulsos ck contabilizados durante t_x .
- Hay una relación inversa entre resolución y velocidad de conversión.

2. Conversores A-D

e. ADC - integración

- Ventaja: - El ruido de frecuencia N/T es filtrado por el proceso de integración.
- Desventajas: - Requiere muchos componentes discretos.
 - El valor de T depende de R y C (varía con la temperatura y tiene alta dispersión, sobre todo el capacitor).



Por ejemplo:

- Si $T = 20\text{ms}$ o 40ms o 60ms entonces el ADC es inmune al ruido de la red eléctrica de 220V/50Hz (20ms)
- Para 110V/60Hz (16.6ms) debe elegirse $T = N \cdot 16.6\text{ms}$

2. Conversores A-D

e. ADC – integración (ejemplo clásico)

intersil

ICL7106, ICL7107, ICL7107S

Data Sheet

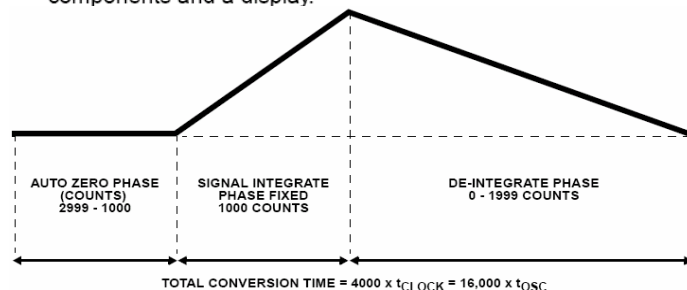
December 1, 2005

FN3082.8

3¹/₂ Digit, LCD/LED Display, A/D Converters

The Intersil ICL7106 and ICL7107 are high performance, low power, 3¹/₂ digit A/D converters. Included are seven segment decoders, display drivers, a reference, and a clock. The ICL7106 is designed to interface with a liquid crystal display (LCD) and includes a multiplexed backplane drive; the ICL7107 will directly drive an instrument size light emitting diode (LED) display.

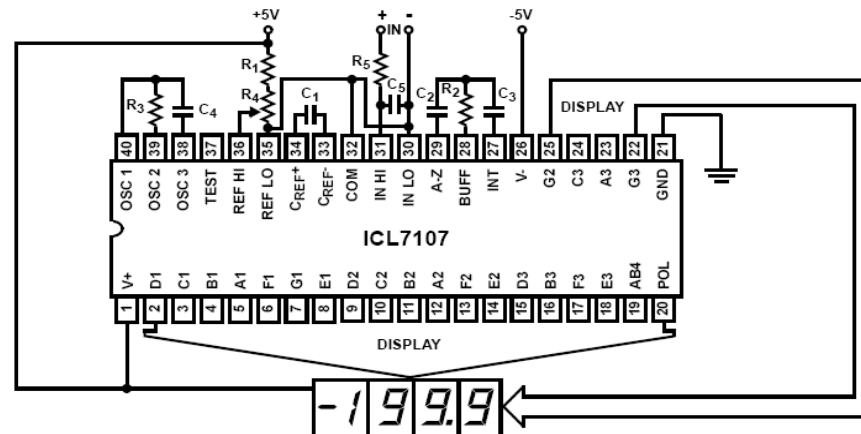
The ICL7106 and ICL7107 bring together a combination of high accuracy, versatility, and true economy. It features auto-zero to less than 10 μ V, zero drift of less than 1 μ V/ $^{\circ}$ C, input bias current of 10pA (Max), and rollover error of less than one count. True differential inputs and reference are useful in all systems, but give the designer an uncommon advantage when measuring load cells, strain gauges and other bridge type transducers. Finally, the true economy of single power supply operation (ICL7106), enables a high performance panel meter to be built with the addition of only 10 passive components and a display.



Features

- Guaranteed Zero Reading for 0V Input on All Scales
- True Polarity at Zero for Precise Null Detection
- 1pA Typical Input Current
- True Differential Input and Reference, Direct Display Drive
 - LCD ICL7106, LED ICL7107
- Low Noise - Less Than 15 μ V_{p-p}
- On Chip Clock and Reference
- Low Power Dissipation - Typically Less Than 10mW
- No Additional Active Circuits Required
- Enhanced Display Stability
- Pb-Free Plus Anneal Available (RoHS Compliant)

**3 sample/seg
U\$S 4.23**



2. Conversores A-D

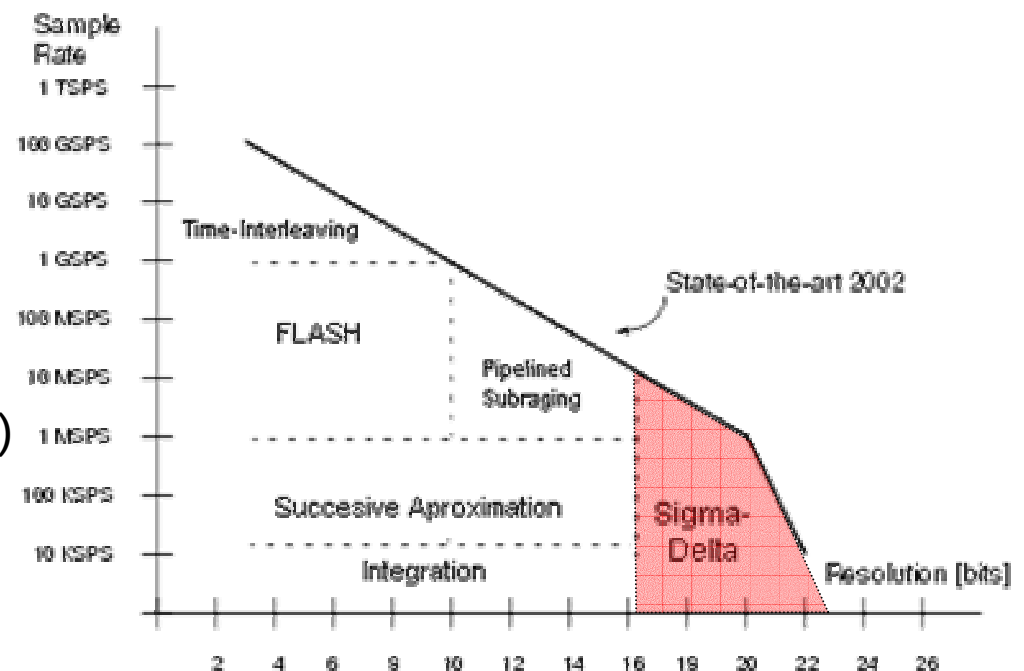
f. ADC - Sigma Delta

Ventajas:

- La mayor parte del sistema es digital:
 - Integración en μ C, DSP, etc.
 - No existen derivas térmicas
 - **Bajo costo.**
- No requiere Sample & hold ni filtros RC
- **Muy bajo ruido** (elevado ENOB)
- Bajo consumo

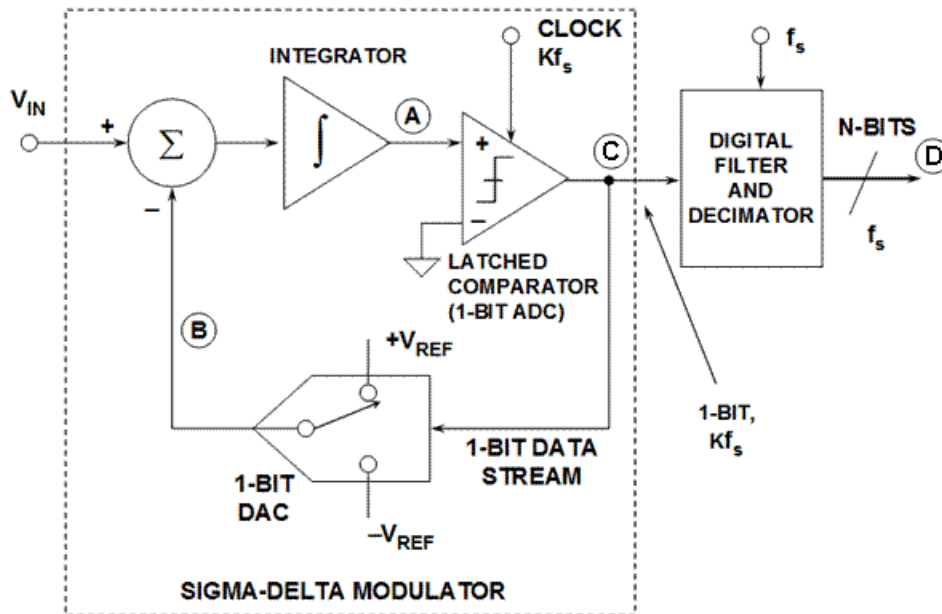
Desventaja:

- La conversión es relativamente lenta.



2. Conversores A-D

f. ADC - Sigma Delta



Ver Simulación Interactiva

[ADCTutorial.jar](#)

- El lazo cerrado fuerza a que el valor medio de (B) sea igual a V_{IN} :

$$\langle B \rangle = V_{IN}$$

- La tensión $\langle B \rangle$ es controlada por la densidad de unos y ceros del "BIT DATA STREAM" en (C):

$$\uparrow V_{IN} \Rightarrow (C) : \uparrow 1 - \downarrow 0$$

$$\downarrow V_{IN} \Rightarrow (C) : \uparrow 0 - \downarrow 1$$

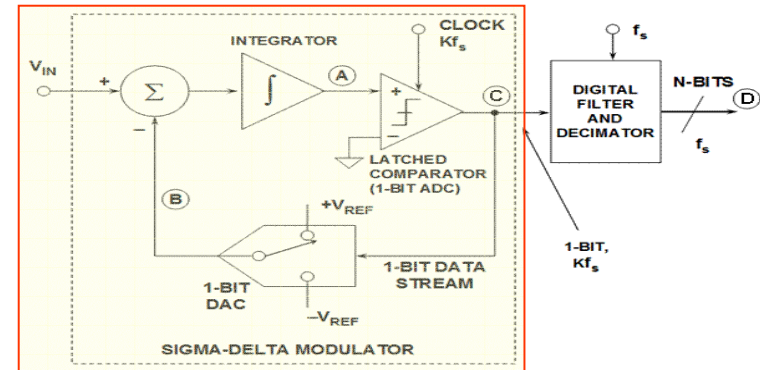
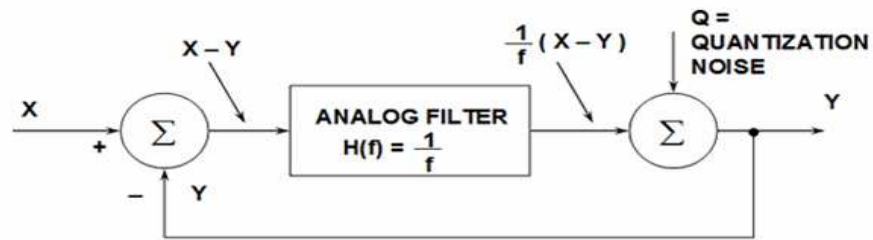
- A partir de $\langle C \rangle$ se obtienen en (D) los N bits de salida mediante el filtro digital y el decimador:

$$\langle C \rangle \Rightarrow D_{OUT}$$

2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

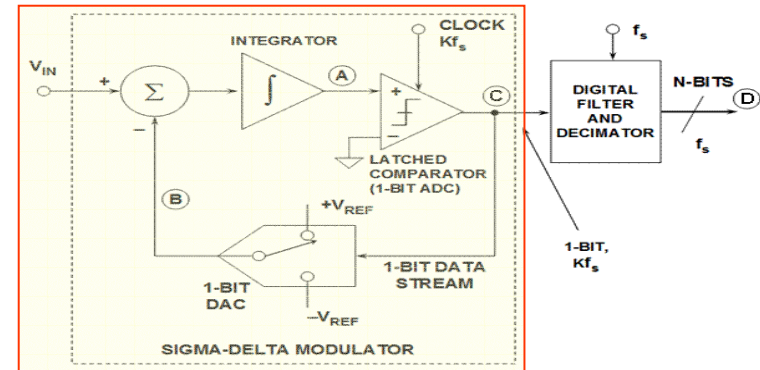
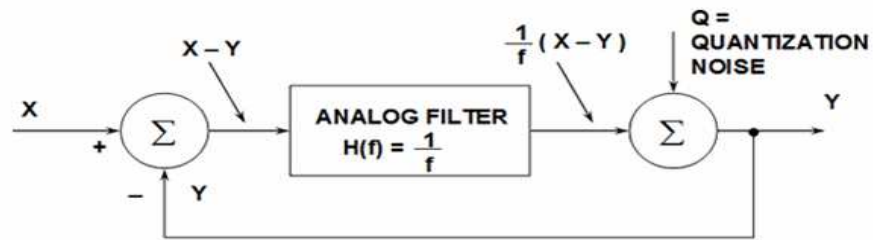
- Modelo del ruido de cuantización:



2. Conversores A-D

f. ADC - Sigma Delta: “Noise Shaping”!

- Modelo del ruido de cuantización:



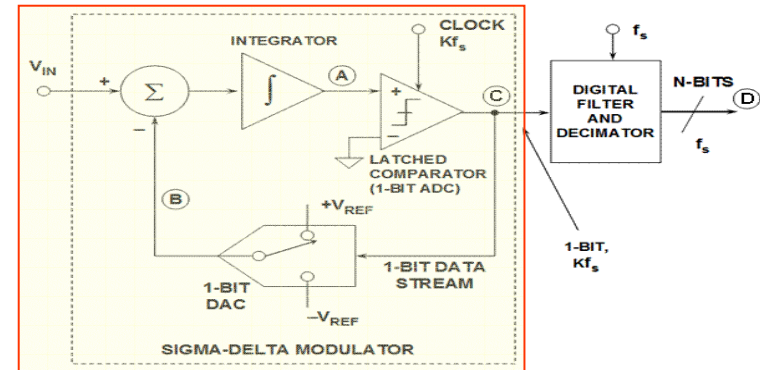
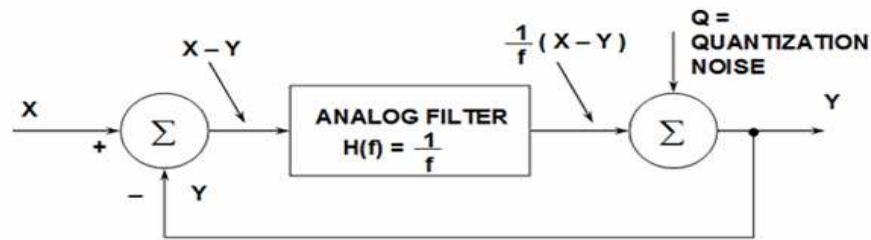
- La ecuación del lazo resulta:

$$Y = \frac{1}{f}(X - Y) + Q$$

2. Conversores A-D

f. ADC - Sigma Delta: “Noise Shaping”!

- Modelo del ruido de cuantización:



- La ecuación del lazo resulta:

$$Y = \frac{1}{f}(X - Y) + Q$$

- Despejando la señal de salida:

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1}$$

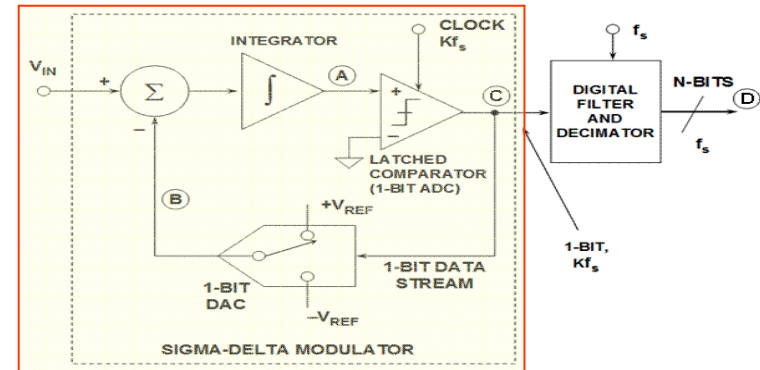
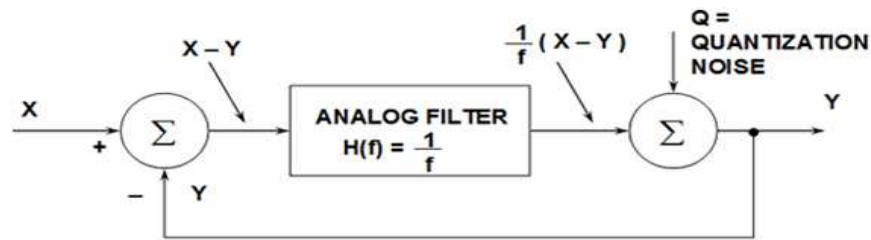
$$\downarrow f \Rightarrow Y \approx X \quad (Q \approx 0)$$

$$\uparrow f \Rightarrow Y \approx Q \quad (X \approx 0)$$

2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

- Modelo del ruido de cuantización:



- La ecuación del lazo resulta:

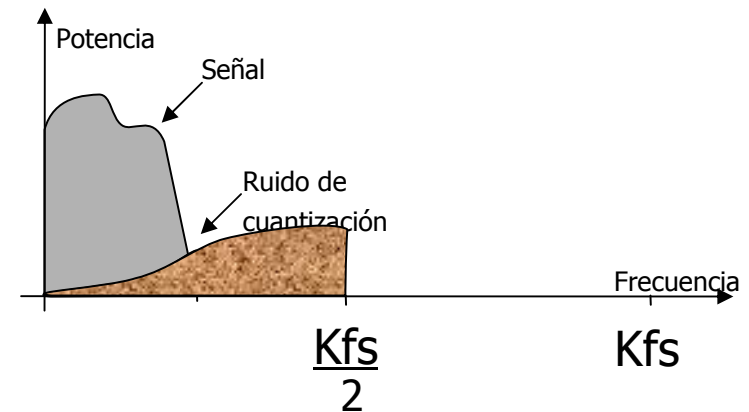
$$Y = \frac{1}{f}(X - Y) + Q$$

- Despejando la señal de salida:

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1}$$

$$\downarrow f \Rightarrow Y \approx X \quad (Q \approx 0)$$

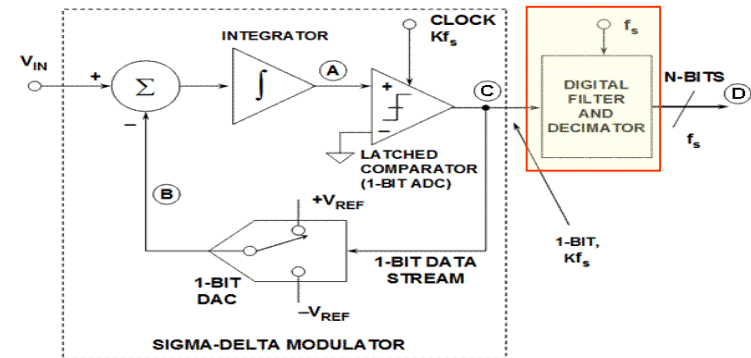
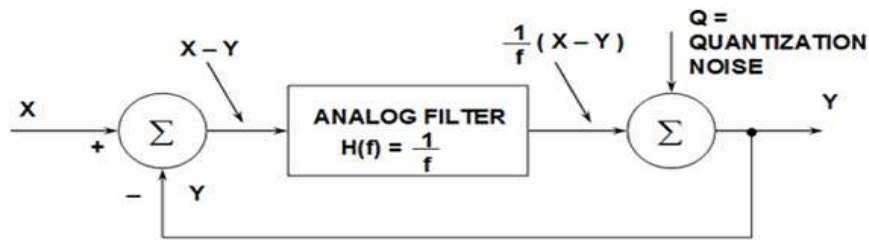
$$\uparrow f \Rightarrow Y \approx Q \quad (X \approx 0)$$



2. Conversores A-D

f. ADC - Sigma Delta: “Noise Shaping”!

- Modelo del ruido de cuantización:



- La ecuación del lazo resulta:

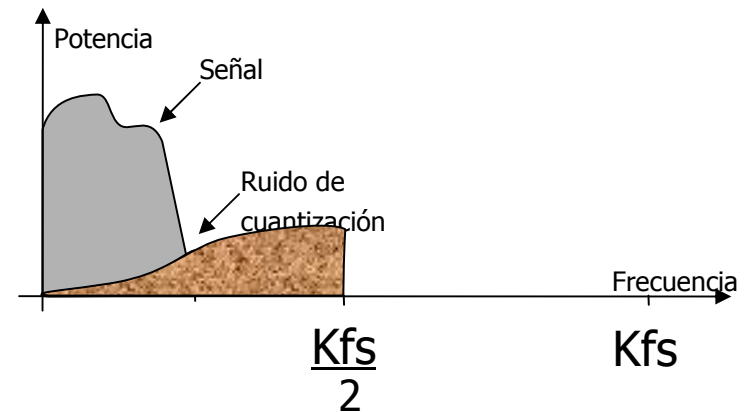
$$Y = \frac{1}{f}(X - Y) + Q$$

- Despejando la señal de salida:

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1}$$

$$\downarrow f \Rightarrow Y \approx X \quad (Q \approx 0)$$

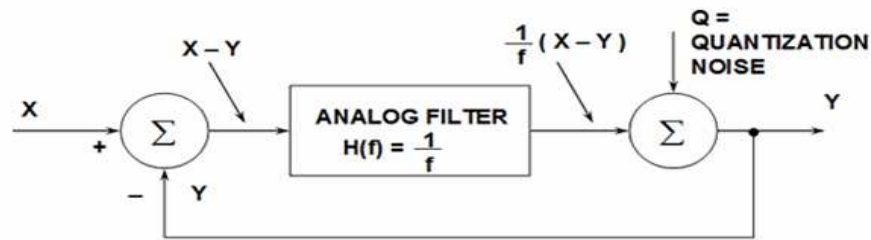
$$\uparrow f \Rightarrow Y \approx Q \quad (X \approx 0)$$



2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

- Modelo del ruido de cuantización:



- La ecuación del lazo resulta:

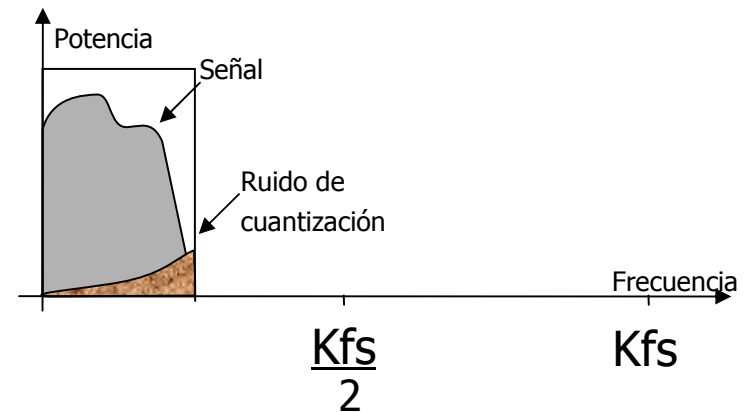
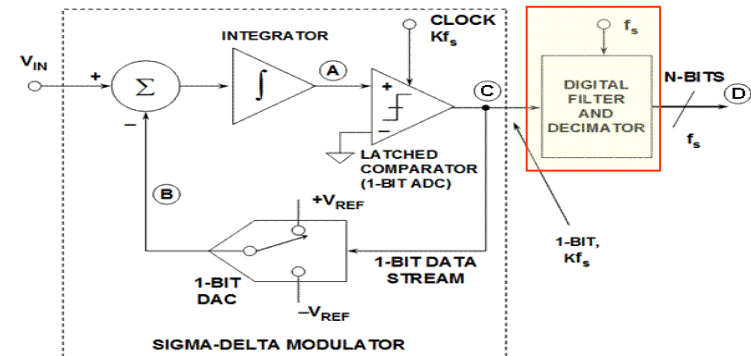
$$Y = \frac{1}{f}(X - Y) + Q$$

- Despejando la señal de salida:

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1}$$

$$\downarrow f \Rightarrow Y \approx X \quad (Q \approx 0)$$

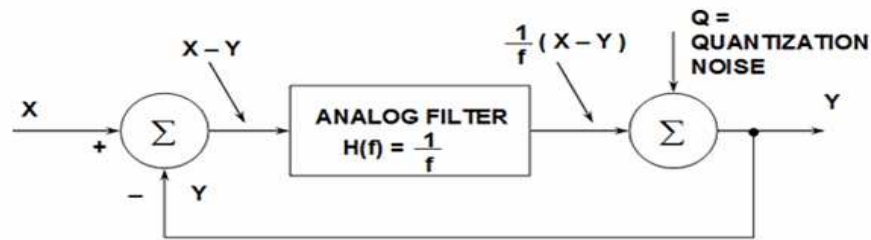
$$\uparrow f \Rightarrow Y \approx Q \quad (X \approx 0)$$



2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

- Modelo del ruido de cuantización:



- La ecuación del lazo resulta:

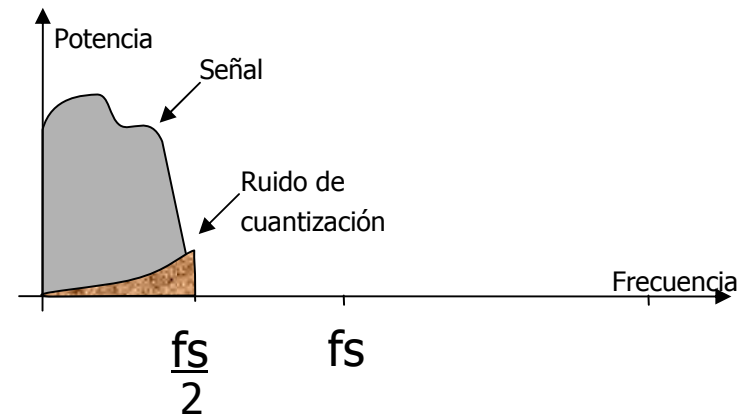
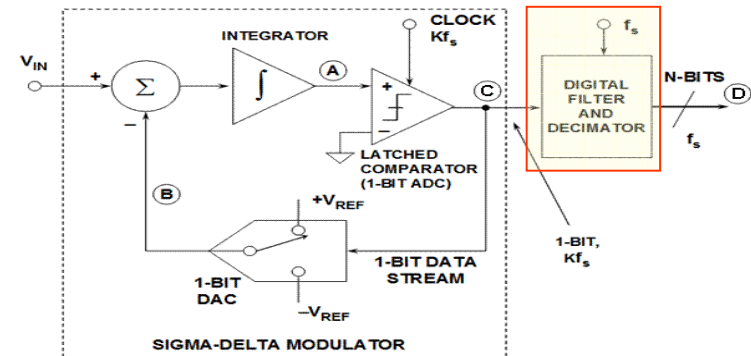
$$Y = \frac{1}{f}(X - Y) + Q$$

- Despejando la señal de salida:

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1}$$

$$\downarrow f \Rightarrow Y \approx X \quad (Q \approx 0)$$

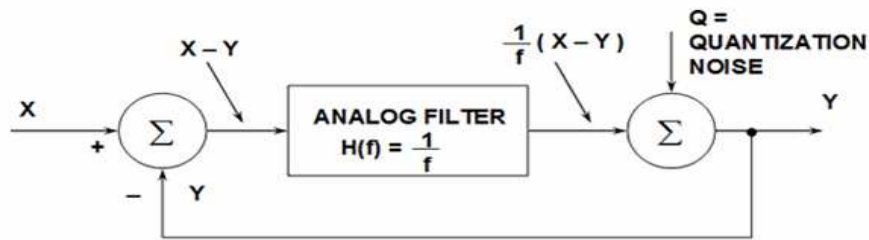
$$\uparrow f \Rightarrow Y \approx Q \quad (X \approx 0)$$



2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

- Modelo del ruido de cuantización:



- La ecuación del lazo resulta:

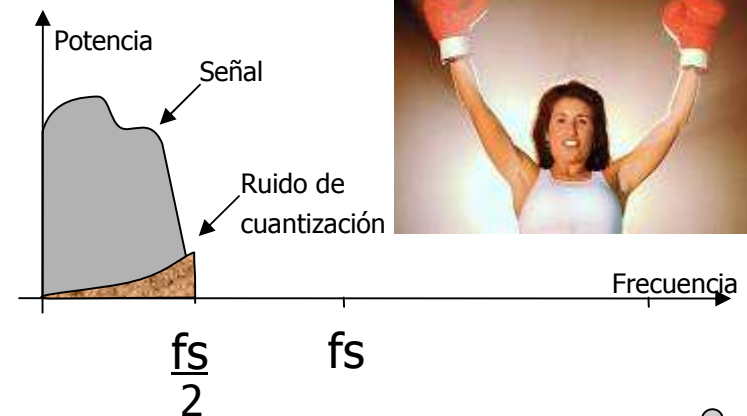
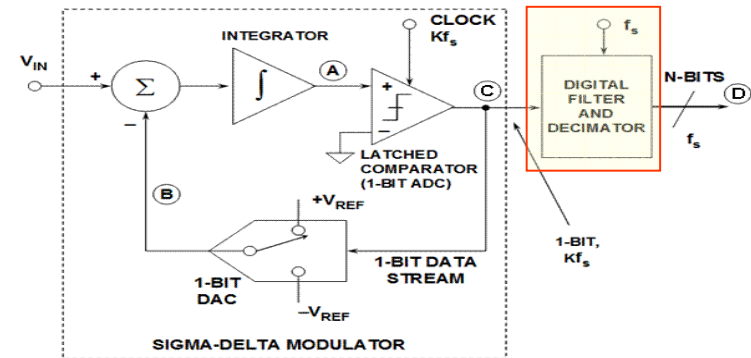
$$Y = \frac{1}{f}(X - Y) + Q$$

- Despejando la señal de salida:

$$Y = \frac{X}{f+1} + \frac{Q \cdot f}{f+1}$$

$$\downarrow f \Rightarrow Y \approx X \quad (Q \approx 0)$$

$$\uparrow f \Rightarrow Y \approx Q \quad (X \approx 0)$$

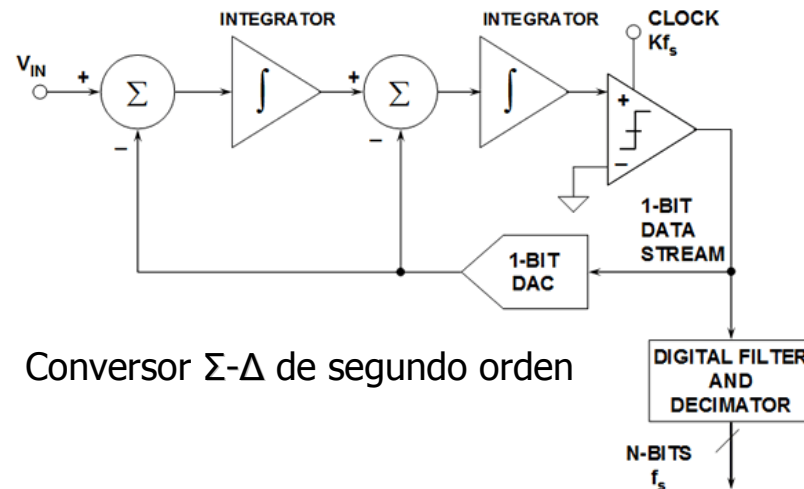


Se reduce notablemente el ruido de cuantización!!

2. Conversores A-D

f. ADC - Sigma Delta: “Noise Shaping”!

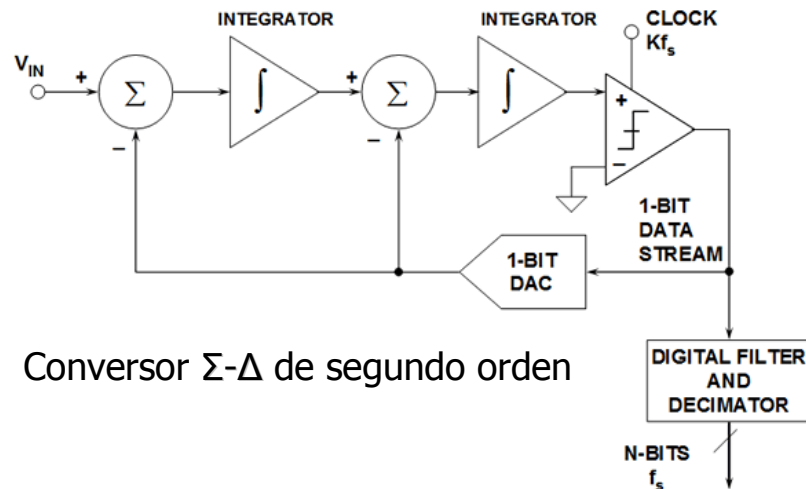
- Aumentando el orden del modulador se obtienen mejores SNR:



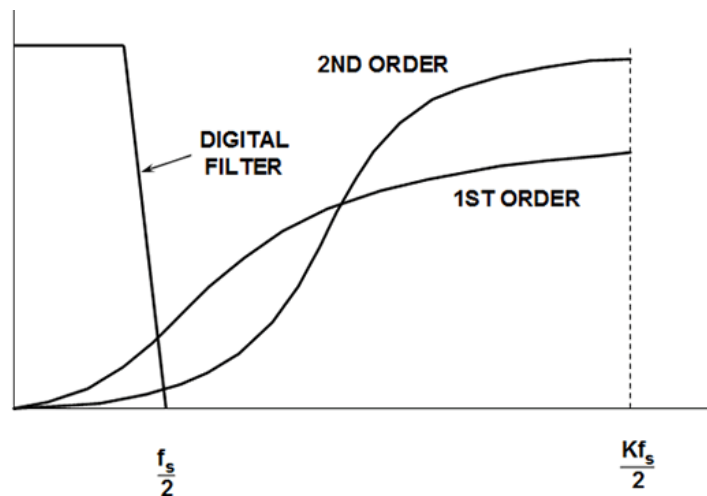
2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

- Aumentando el orden del modulador se obtienen mejores SNR:



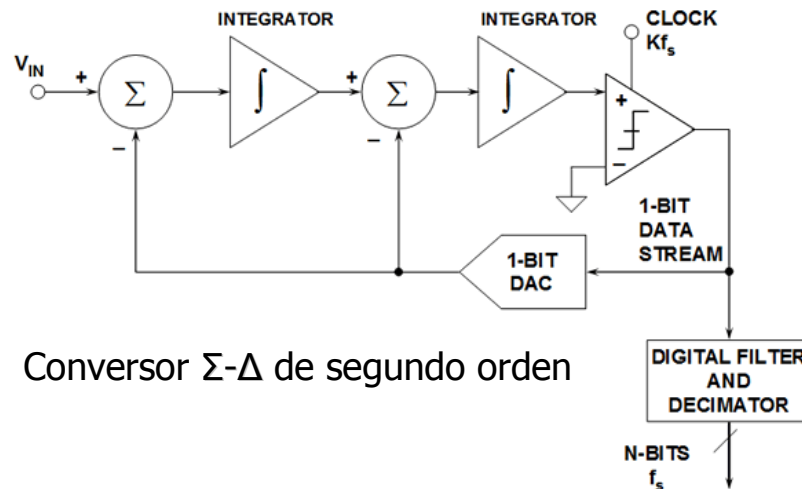
Conversor Σ - Δ de segundo orden



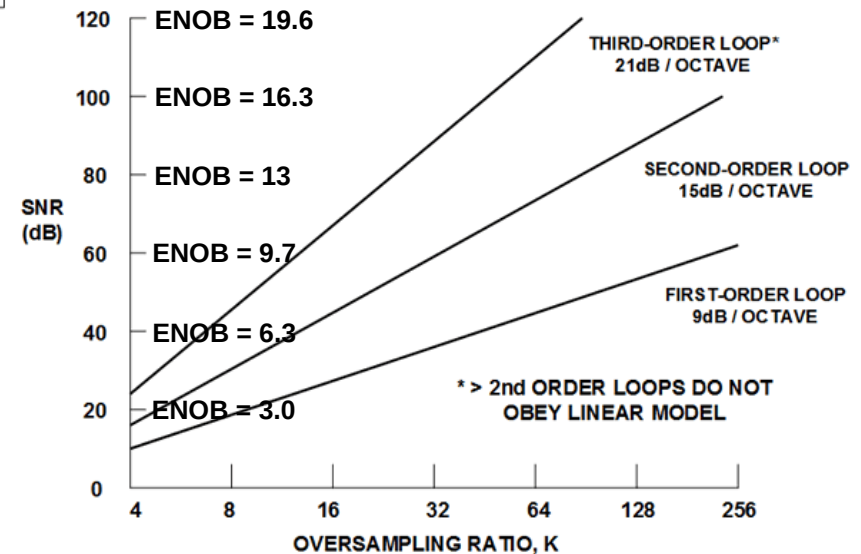
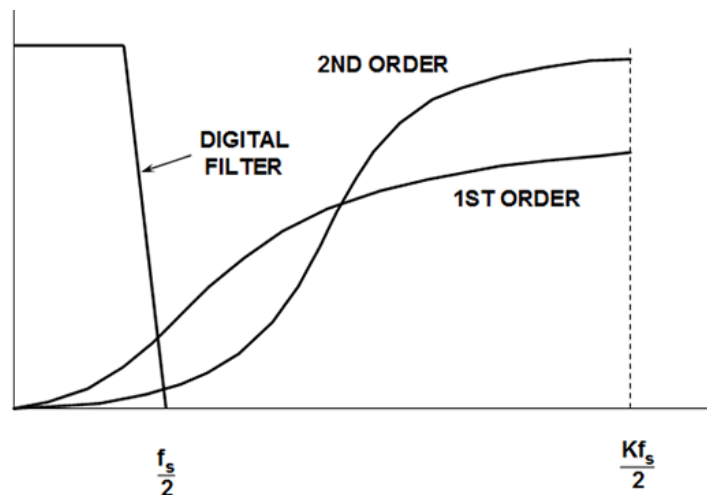
2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

- Aumentando el orden del modulador se obtienen mejores SNR:



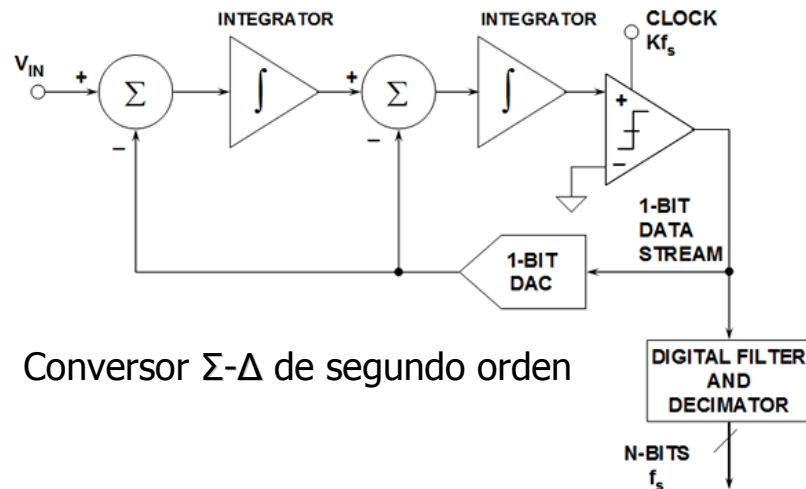
Conversor Σ - Δ de segundo orden



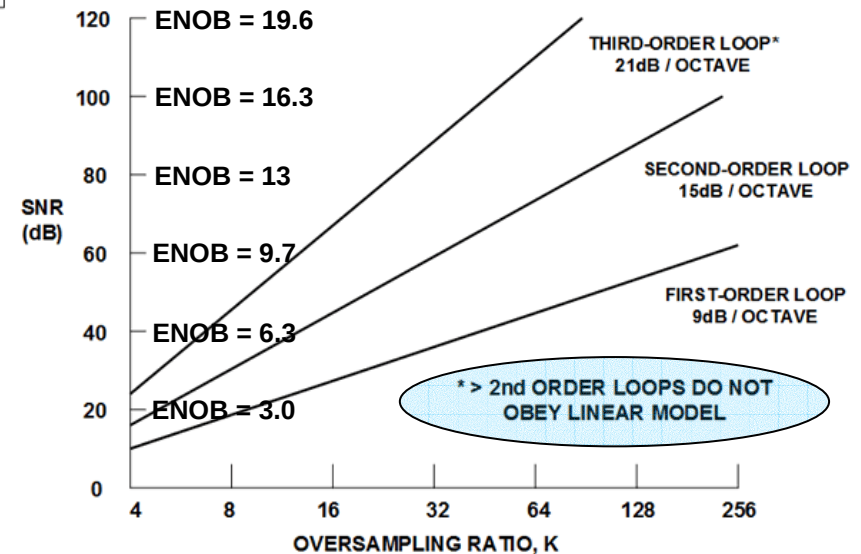
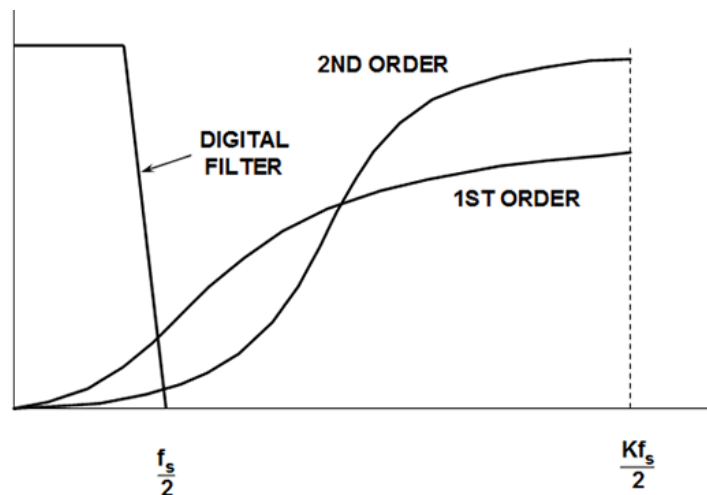
2. Conversores A-D

f. ADC - Sigma Delta: "Noise Shaping"!

- Aumentando el orden del modulador se obtienen mejores SNR:



Conversor Σ - Δ de segundo orden



2. Conversores A-D

f. ADC - Sigma Delta (ejemplo de diseño)

- **Digitalizar una señal de audio de 20Hz - 20kHz con una SNR de 80dB**

2. Conversores A-D

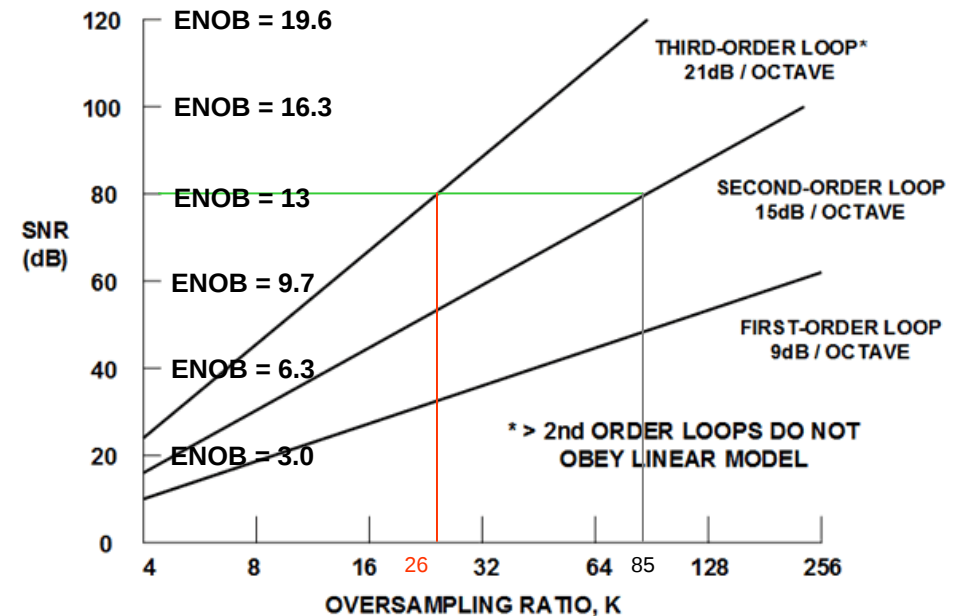
f. ADC - Sigma Delta (ejemplo de diseño)

- Digitalizar una señal de audio de 20Hz - 20kHz con una SNR de 80dB

• Solución:

Existen dos alternativas:

- Utilizar un $\Sigma\text{-}\Delta$ de tercer orden.
Esto implica un K de 26:
 $f_s = 20\text{kHz} \times 2 \times 26 = 1.04\text{MHz}$
- Utilizar un $\Sigma\text{-}\Delta$ de segundo orden.
Esto implica un K de 85:
 $f_s = 20\text{kHz} \times 2 \times 85 = 3.36\text{MHz}$



2. Conversores A-D

f. ADC - Sigma Delta (ejemplo de diseño)

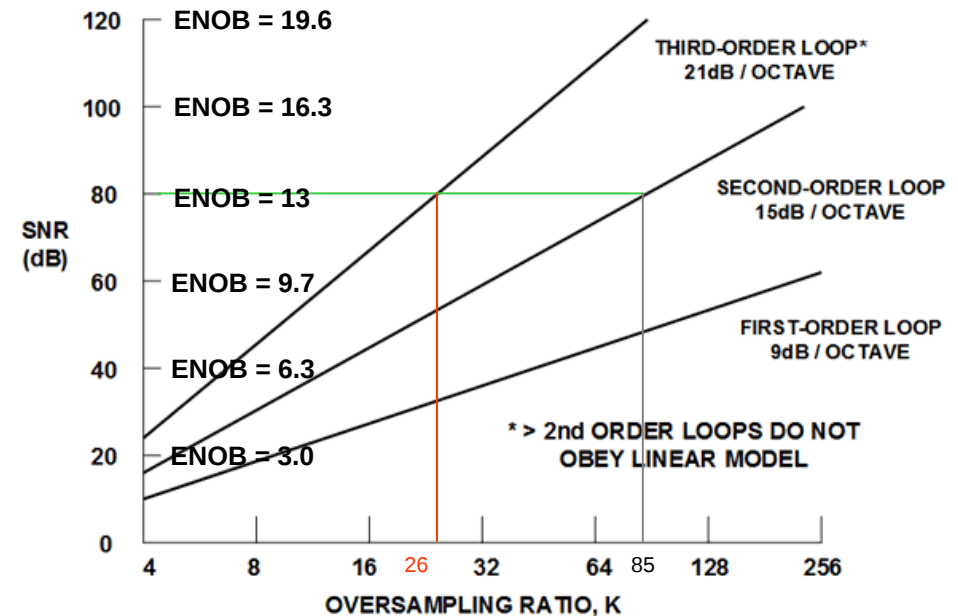
- Digitalizar una señal de audio de 20Hz - 20kHz con una SNR de 80dB

• Solución:

Existen dos alternativas:

- Utilizar un $\Sigma\text{-}\Delta$ de tercer orden.
Esto implica un K de 26:
 $f_s = 20\text{kHz} \times 2 \times 26 = 1.04\text{MHz}$
- Utilizar un $\Sigma\text{-}\Delta$ de segundo orden.
Esto implica un K de 85:
 $f_s = 20\text{kHz} \times 2 \times 85 = 3.36\text{MHz}$

El ENOB será de: $(80\text{dB} - 1.76\text{dB})/6.02 = 13\text{bits}$



2. Conversores A-D

f. ADC - Sigma Delta (ejemplo de diseño)

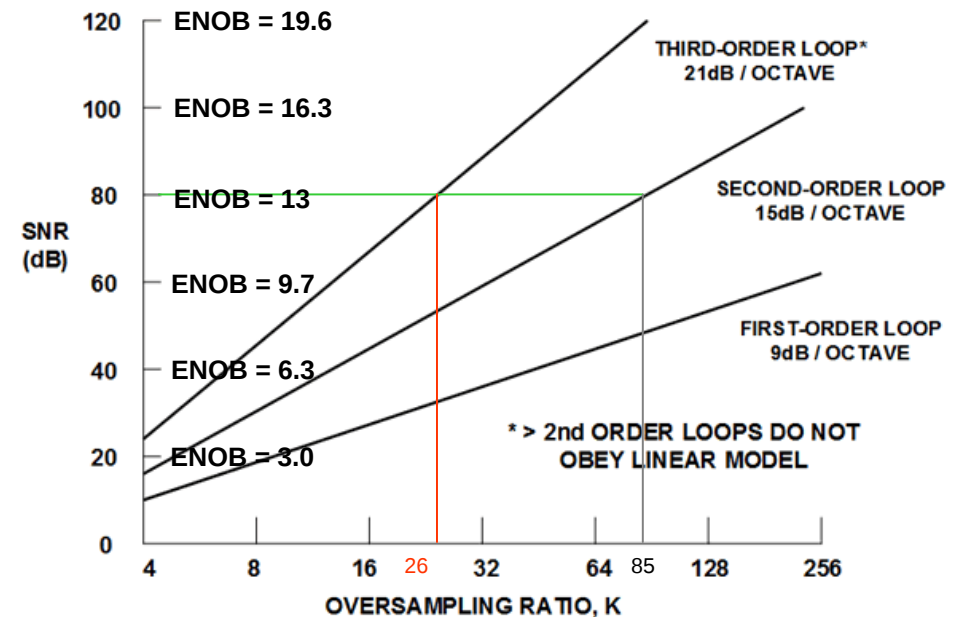
- Digitalizar una señal de audio de 20Hz - 20kHz con una SNR de 80dB

• Solución:

Existen dos alternativas:

- Utilizar un $\Sigma\text{-}\Delta$ de tercer orden.
Esto implica un K de 26:
 $f_s = 20\text{kHz} \times 2 \times 26 = 1.04\text{MHz}$
- Utilizar un $\Sigma\text{-}\Delta$ de segundo orden.
Esto implica un K de 85:
 $f_s = 20\text{kHz} \times 2 \times 85 = 3.36\text{MHz}$

El ENOB será de: $(80\text{dB} - 1.76\text{dB})/6.02 = 13\text{bits}$



Puedo poner una salida de 16 bits, pero sólo 13 bits contendrán información útil.

2. Conversores A-D

f. ADC - Sigma Delta (ejemplo)



**3-Channel, Low Noise, Low Power, 16/24-Bit
 Σ - Δ ADC with On-Chip In-Amp and Reference**

AD7792/AD7793

FEATURES

Up to 23 bits effective resolution

RMS noise

40 nV @ 4.17 Hz

85 nV @ 16.7 Hz

Current: 400 μ A typ

Power-down: 1 μ A max

Low noise programmable gain instrumentation amp

Band gap reference with 4 ppm/ $^{\circ}$ C drift typ

Update rate: 4.17 Hz to 500 Hz

3 differential inputs

Internal clock oscillator

Simultaneous 50 Hz/60 Hz rejection

Programmable current sources

On-chip bias voltage generator

Burnout currents

Power supply: 2.7 V to 5.25 V

-40 $^{\circ}$ C to +105 $^{\circ}$ C temperature range

Independent interface power supply

16-lead TSSOP package

INTERFACE

3-wire serial

SPI $^{\circ}$ -, QSPI $^{\text{TM}}$ -, MICROWIRE $^{\text{TM}}$ -, and DSP-compatible

Schmitt trigger on SCLK

FUNCTIONAL BLOCK DIAGRAM

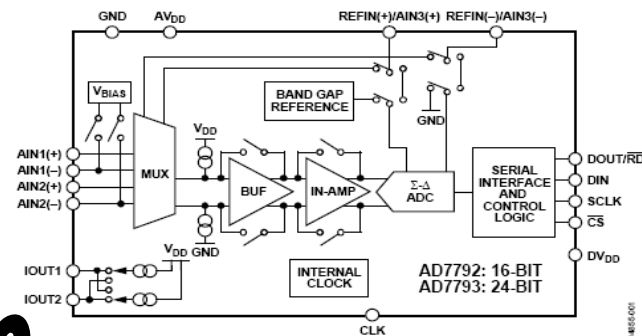


Figure 1.

APPLICATIONS

Thermocouple measurements
RTD measurements
Thermistor measurements
Gas analysis
Industrial process control
Instrumentation
Portable instrumentation
Blood analysis
Smart transmitters
Liquid/gas chromatography
6-digit DVM

GENERAL DESCRIPTION

The AD7792/AD7793 are low power, low noise, complete analog front ends for high precision measurement applications. The AD7792/AD7793 contain a low noise 16/24-bit Σ - Δ ADC with three differential analog inputs. The on-chip, low noise instrumentation amplifier means that signals of small amplitude can be interfaced directly to the ADC. With a gain setting of 64, the rms noise is 40 nV when the update rate equals 4.17 Hz.

U\$S 8.80

2. Conversores A-D

f. ADC - Sigma Delta (ejemplo)

Table 9. Typical Resolution (Bits) vs. Gain and Output Update Rate for the AD7793 Using the Internal Reference

Update Rate (Hz)	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17	21.5	20.5	21	20.5	20	20	20	19
8.33	21	20	20.5	20	20	20	19	18
16.7	20	19.5	20	19.5	19	19.5	18.5	17.5
33.3	19.5	19	19.5	19	19	18.5	18	17
62.5	19.5	18.5	19	19	18.5	18.5	18	17
125	18.5	18	18.5	18	17.5	18	17	16
250	17.5	17	17.5	17	17	17.5	16.5	15.5
500	17.5	17	17	17	17	17	16	15

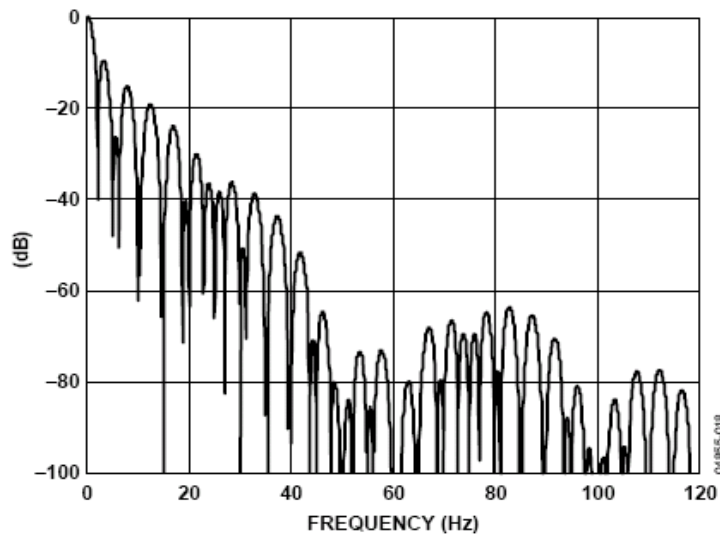


Figure 13. Filter Profile with Update Rate = 4.17 Hz

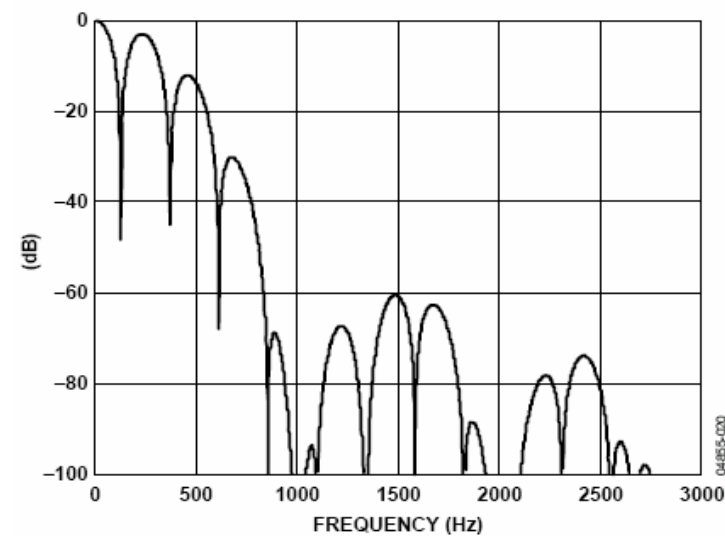


Figure 15. Filter Profile with Update Rate = 250 Hz

2. Conversores A-D

f. ADC - Sigma Delta (ejemplo)

Table 9. Typical Resolution (Bits) vs. Gain and Output Update Rate for the AD7793 Using the Internal Reference

Update Rate (Hz)	Gain of 1	Gain of 2	Gain of 4	Gain of 8	Gain of 16	Gain of 32	Gain of 64	Gain of 128
4.17	21.5	20.5	21	20.5	20	20	20	19
8.33	21	20	20.5	20	20	20	19	18
16.7	20	19.5	20	19.5	19	19.5	18.5	17.5
33.3	19.5	19	19.5	19	19	18.5	18	17
62.5	19.5	18.5	19	19	18.5	18.5	18	17
125	18.5	18	18.5	18	17.5	18	17	16
250	17.5	17	17.5	17	17	17.5	16.5	15.5
500	17.5	17	17	17	17	17	16	15

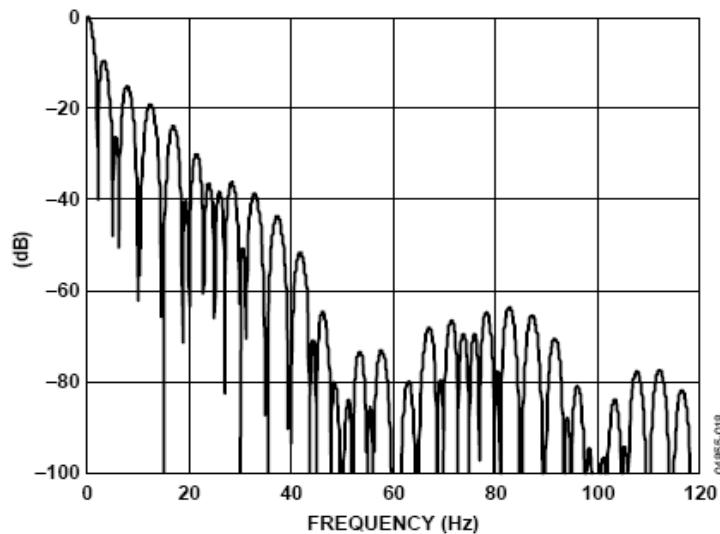


Figure 13. Filter Profile with Update Rate = 4.17 Hz

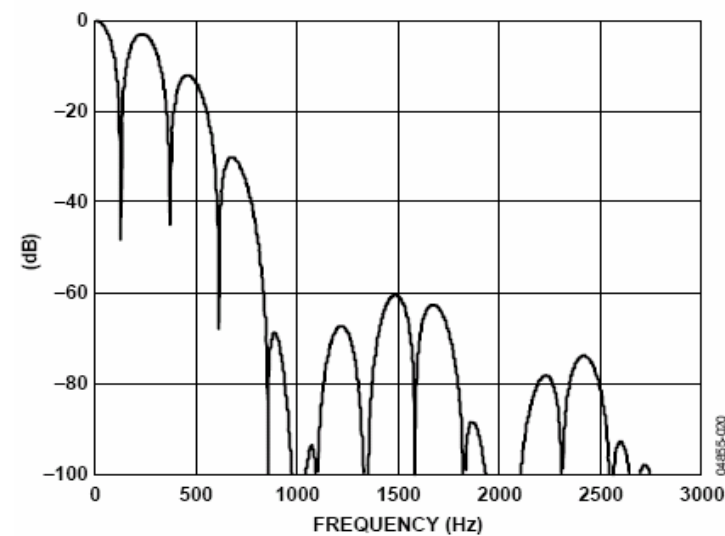
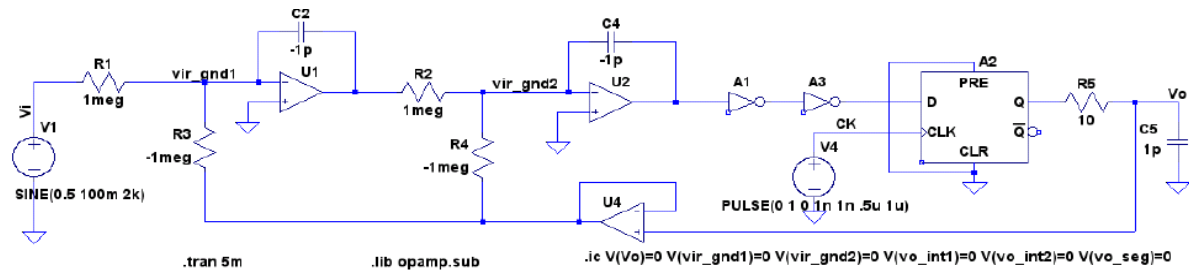


Figure 15. Filter Profile with Update Rate = 250 Hz

2. Conversores A-D

f. ADC - Sigma Delta (simulación en LTspice)

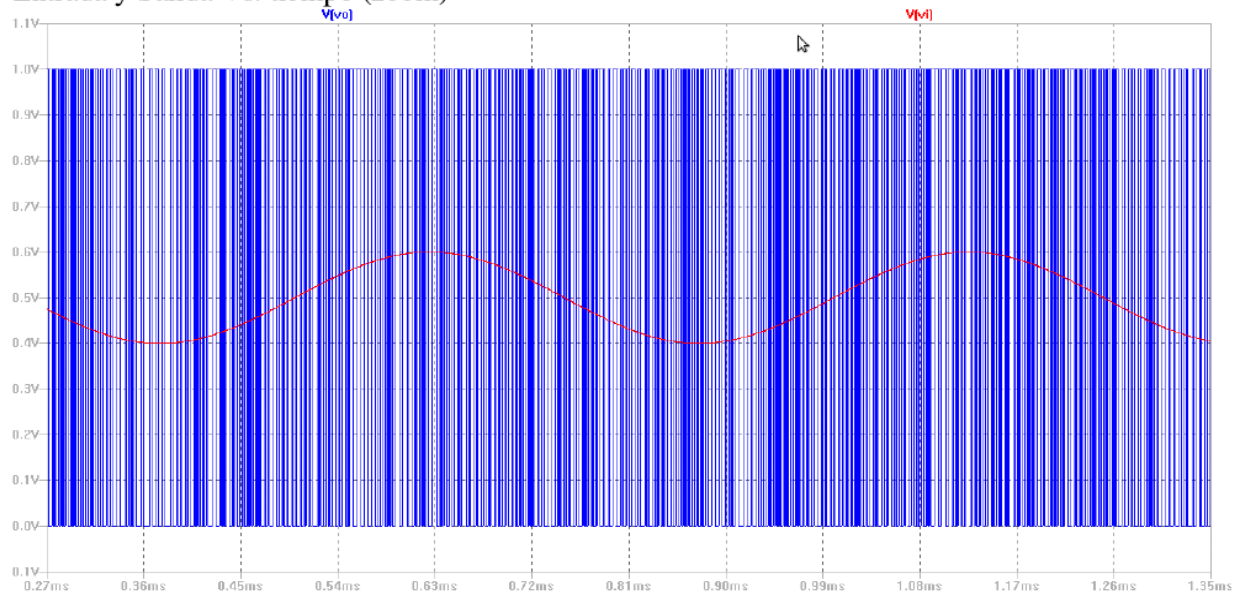


Señal de entrada: $V_{in} = 0.5V + 0.1V \cdot \sin(2 \cdot \pi \cdot 2000 \cdot t)$

Muestreo: 1MHz ($T_s = 1\mu s$)

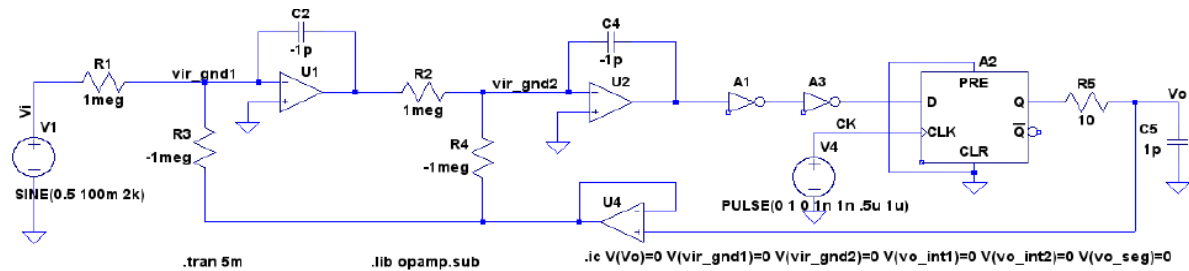
Tiempo de simulación: 64milisegundos ($T_s \cdot 64K$)

Entrada y Salida Vs. tiempo (zoom)



2. Conversores A-D

f. ADC - Sigma Delta (simulación en LTspice)

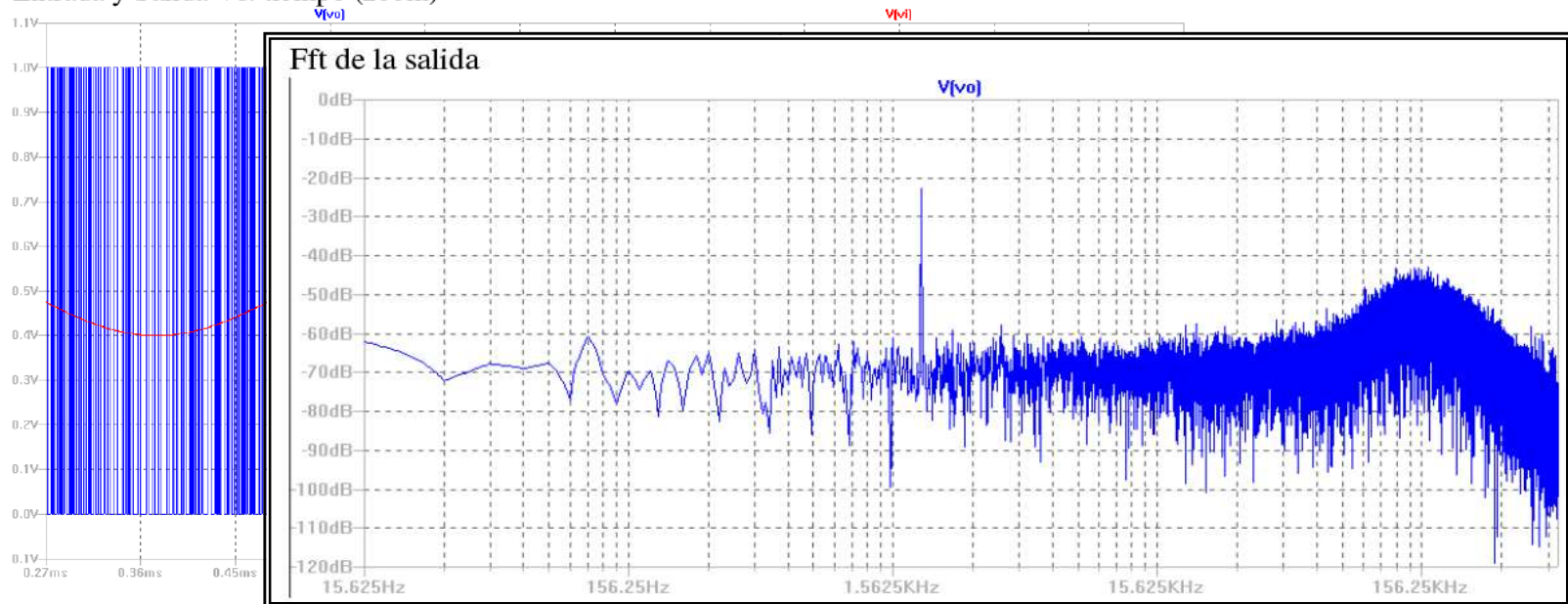


Señal de entrada: $V_{in} = 0.5V + 0.1V \cdot \sin(2 \cdot \pi \cdot 2000 \cdot t)$

Muestreo: 1MHz ($T_s = 1\mu s$)

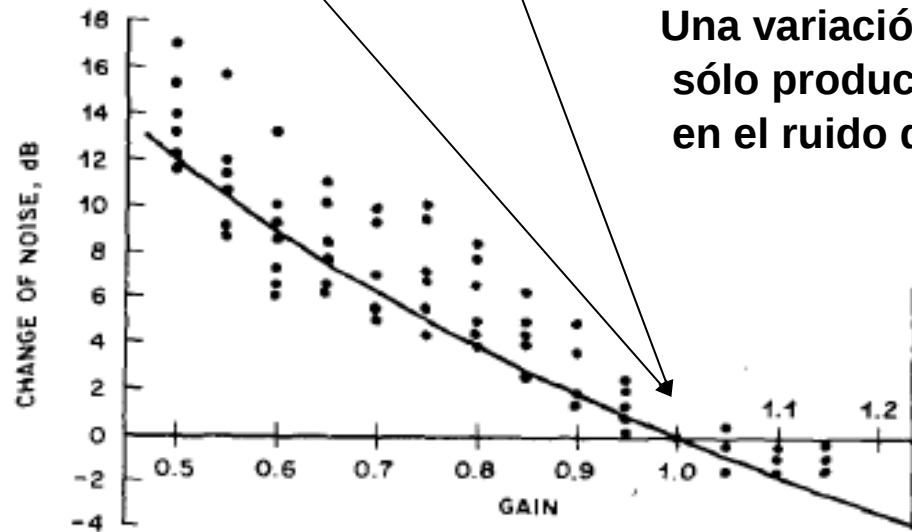
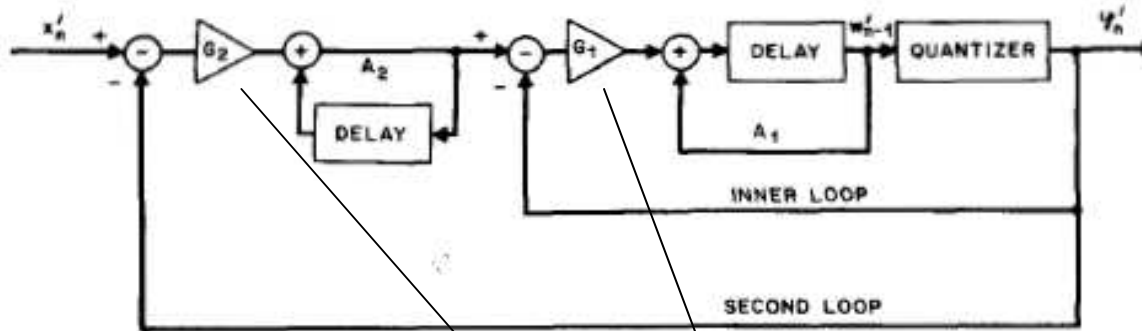
Tiempo de simulación: 64milisegundos ($T_s \cdot 64K$)

Entrada y Salida Vs. tiempo (zoom)



2. Conversores A-D

f. ADC - Sigma Delta (Inmunidad a variaciones de la ganancia)



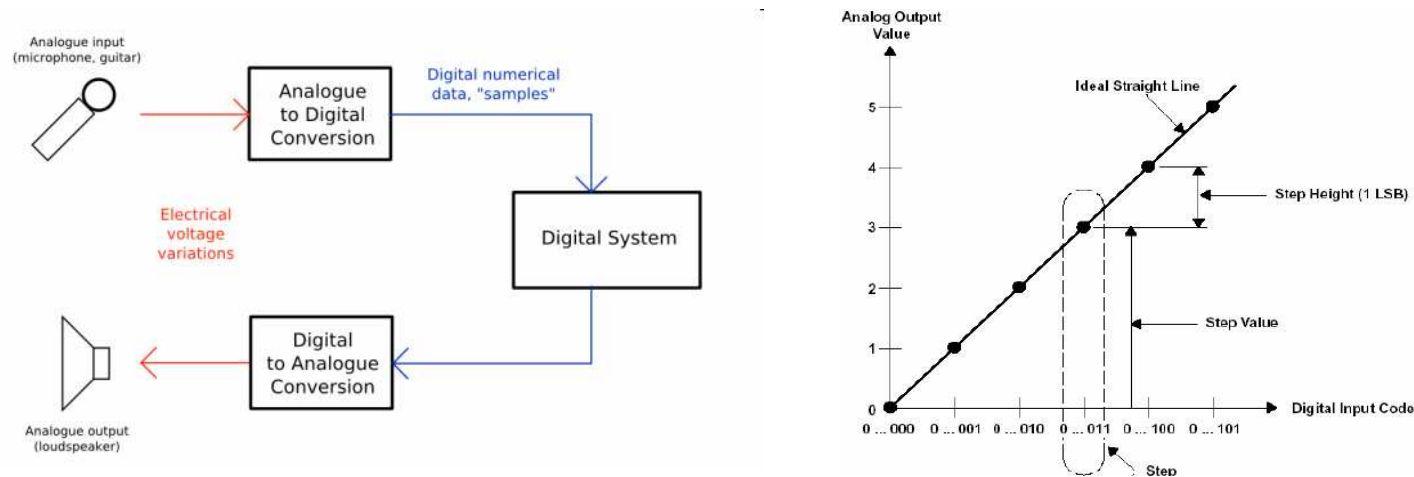
Una variación del 20% en la ganancia sólo produce una variación de 2dB en el ruido de fondo de 80dB.

3. Conversores D-A

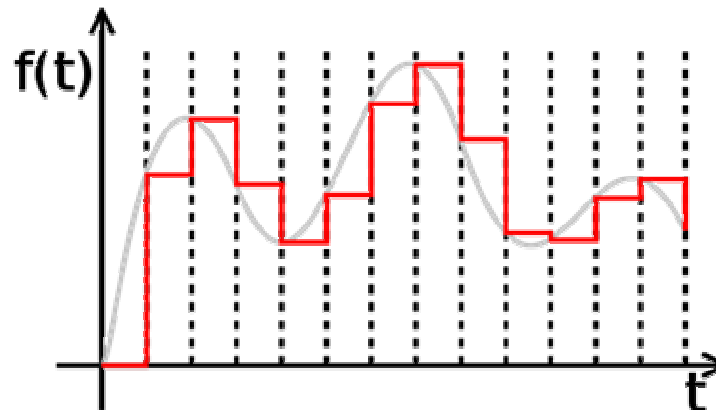
3. Conversores D-A

Introducción

- Un DAC convierte una entrada digital a una señal analógica de salida:



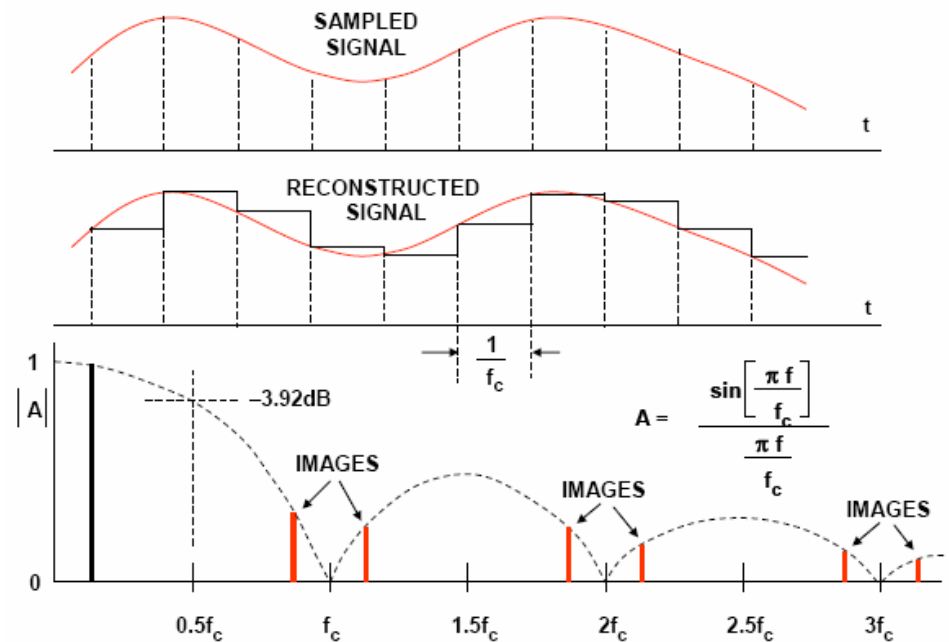
El resultado es una aproximación con “escalones”:



3. Conversores D-A

La conversión D–A introduce distorsión armónica

- La discretización puede verse como el producto con un tren de deltas de Dirac y la posterior convolución con una ventana cuadrada:



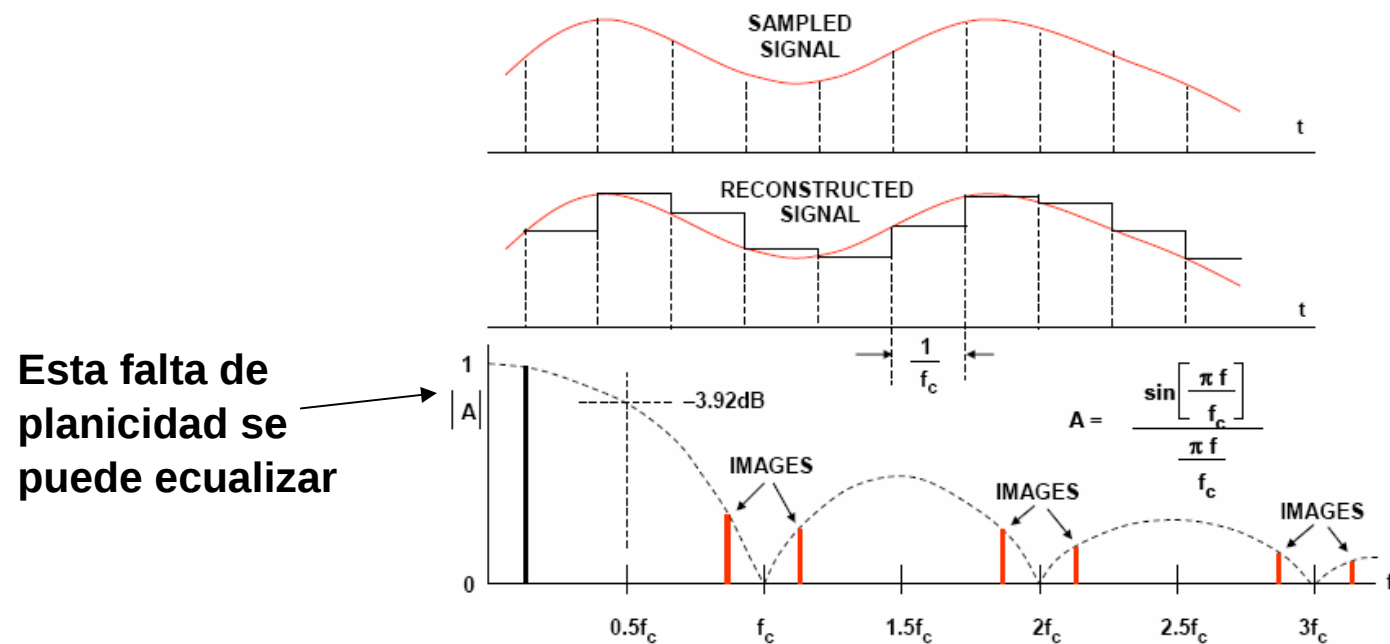
- En el dominio de la frecuencia esto equivale a convolucionar la señal con un tren de deltas de frecuencia f_c y multiplicar por una ventana sinc.

→ Genera armónicos superiores que pueden filtrarse con un pasa–bajos.

3. Conversores D-A

La conversión D–A introduce distorsión armónica

- La discretización puede verse como el producto con un tren de deltas de Dirac y la posterior convolución con una ventana cuadrada:



- En el dominio de la frecuencia esto equivale a convolucionar la señal con un tren de deltas de frecuencia f_c y multiplicar por una ventana sinc.

→ Genera armónicos superiores que pueden filtrarse con un pasa–bajos.

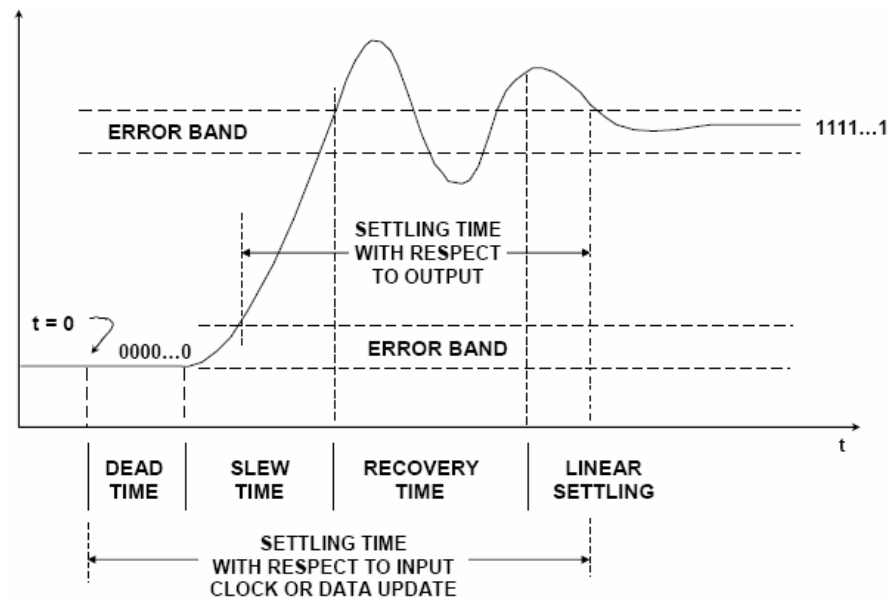
3. Conversores D-A

Tiempo de establecimiento – Settling time

- En algunas aplicaciones puede ser importante el tiempo de establecimiento.

Ejemplo: en un display de video puede haber una transición entre negro y blanco entre pixeles adyacentes y esto debe resolverse en $<5\%$ del ancho de un pixel.

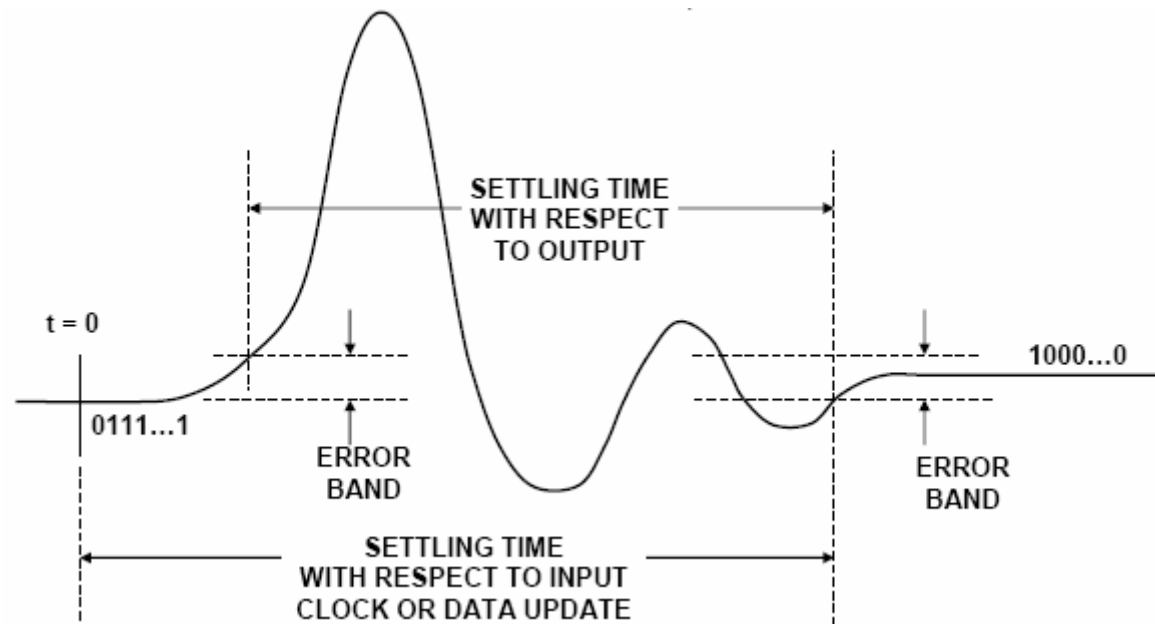
En un display de 1024×768 y refresh rate de 60Hz se recorre cada pixel en 16 ns. Esto implica que la señal de salida se debe estabilizar en menos de 1 ns.



3. Conversores D-A

Tiempo de establecimiento – Settling time

- También es importante analizar la transición entre 0111...1 y 1000...0., que es cuando se producen el mayor número de conmutaciones internas:

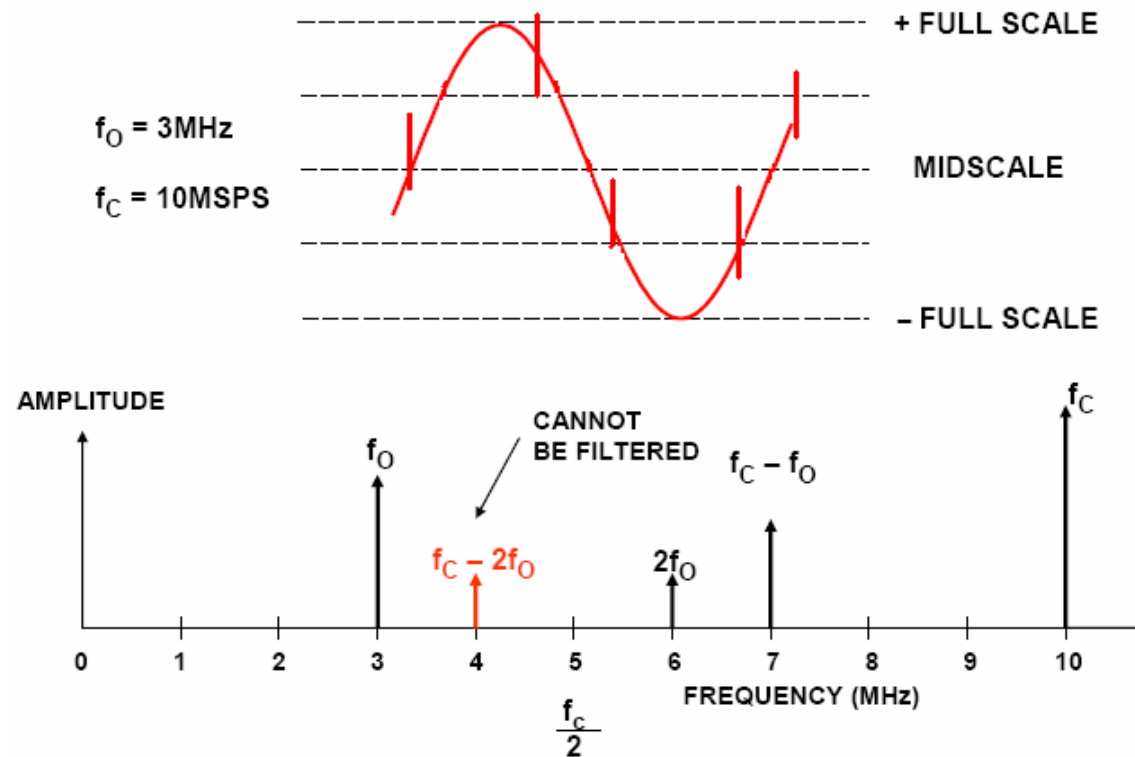


→ Este glitch introduce una fuerte distorsión armónica.

3. Conversores D-A

Distorsión armónica

- Los armónicos “out of band” son filtrables, pero los “in band” no son filtrables:



3. Conversores D-A

Distorsión armónica

Muchos DACs se usan en comunicaciones o análisis espectrales, por lo que en general se especifican parámetros como:

3. Conversores D-A

Distorsión armónica

Muchos DACs se usan en comunicaciones o análisis espectrales, por lo que en general se especifican parámetros como:

- Distorsión armónica total (THD)

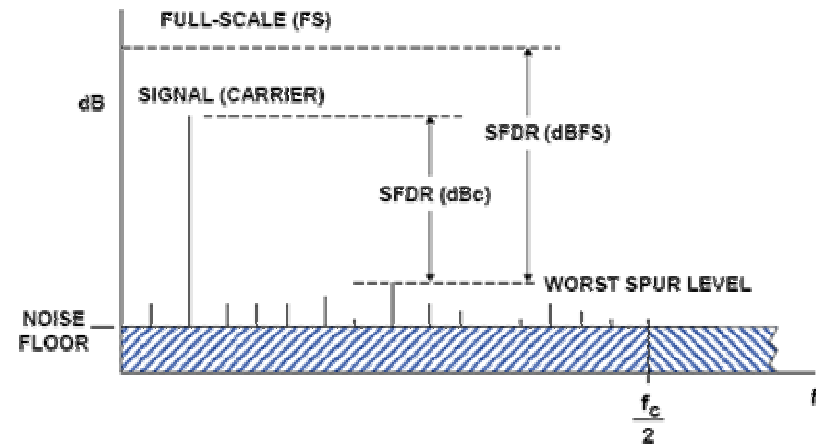
- Suma de los armónicos 2º a 6º

3. Conversores D-A

Distorsión armónica

Muchos DACs se usan en comunicaciones o análisis espectrales, por lo que en general se especifican parámetros como:

- Distorsión armónica total (THD)
 - Suma de los armónicos 2º a 6º
- Relación señal a ruido (SNR)



$$\text{SNR} = S/(\text{NOISE FLOOR}) - 10\log_{10}(f_c/2 \cdot \text{BW})$$

3. Conversores D-A

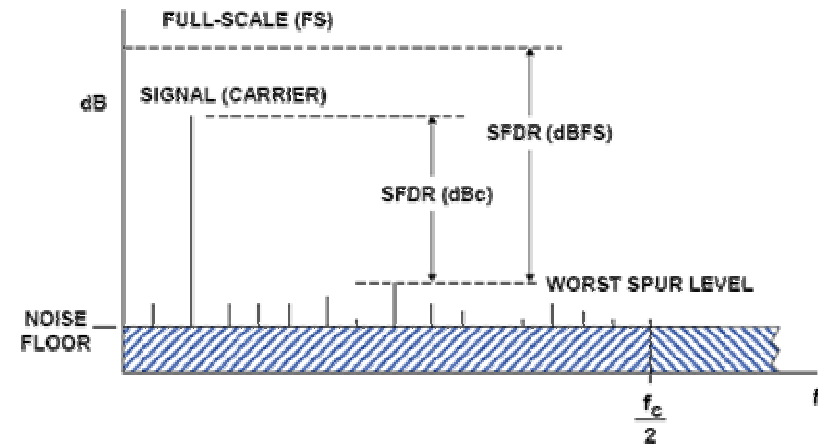
Distorsión armónica

Muchos DACs se usan en comunicaciones o análisis espectrales, por lo que en general se especifican parámetros como:

- Distorsión armónica total (THD)

→ Suma de los armónicos 2º a 6º

- Relación señal a ruido (SNR)



$$\text{SNR} = S/(\text{NOISE FLOOR}) - 10\log_{10}(f_c/2 \cdot \text{BW})$$

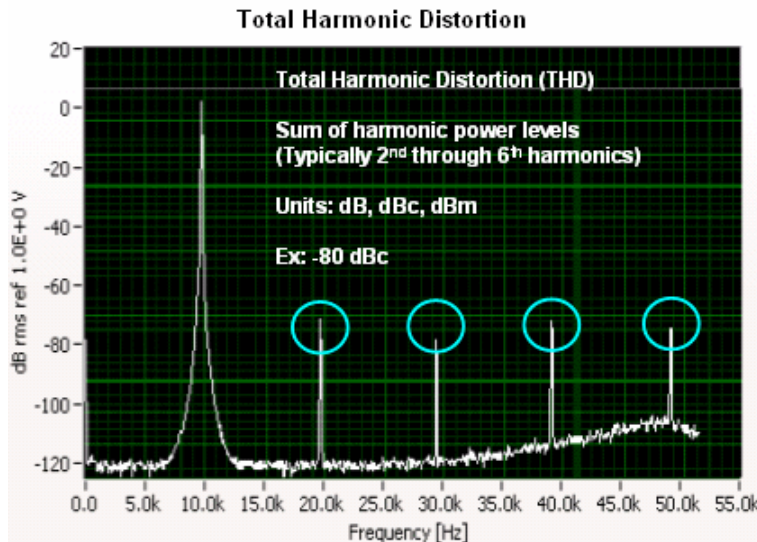
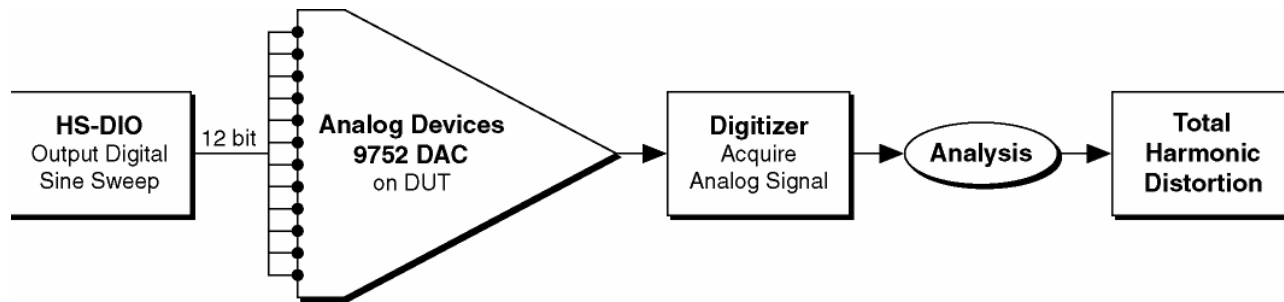
- SINAD

$$\text{SINAD} = 20\log_{10} \sqrt{\left(10^{-\text{SNR}/20}\right)^2 + \left(10^{-\text{THD}/20}\right)^2}$$

3. Conversores D-A

Caracterización de DACs

- Se ingresa con una señal sinusoidal y se analiza el resultado:



ANALOG DEVICES

12-Bit, 125 MSPS High Performance TxDAC® D/A Converter

US\$ 10.35

AD9752*

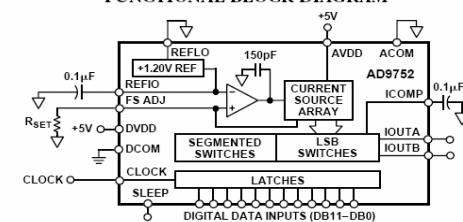
FEATURES

High Performance Member of Pin-Compatible TxDAC Product Family
125 MSPS Update Rate
12-Bit Resolution
Excellent Spurious Free Dynamic Range Performance
SFDR to Nyquist @ 5 MHz Output: 79 dBc
Differential Current Outputs: 2 mA to 20 mA
Power Dissipation: 185 mW @ 5 V
Power-Down Mode: 20 mW @ 5 V
On-Chip 1.20 V Reference
CMOS-Compatible +2.7 V to +5.5 V Digital Interface
Package: 28-Lead SOIC and TSSOP
Edge-Triggered Latches

APPLICATIONS

Wideband Communication Transmit Channel:
Direct IF
Basestations
Wireless Local Loop
Digital Radio Link
Direct Digital Synthesis (DDS)
Instrumentation

FUNCTIONAL BLOCK DIAGRAM



The AD9752 is a current-output DAC with a nominal full-scale output current of 20 mA and > 100 kΩ output impedance.

Differential current outputs are provided to support single-ended or differential applications. Matching between the two current outputs ensures enhanced dynamic performance in a differential output configuration. The current outputs may be tied directly to an output resistor to provide two complementary, single-ended voltage outputs or fed directly into a transformer. The output voltage compliance range is 1.25 V.

3. Conversores D-A

Características de los DACs

Entradas digitales:

- Resolución [Bits]
- Update rate
- Número de canales
- Tipo de interfaz

Salidas analógicas:

- Tensión o corriente
- Unipolar o bipolar
- Rango de señal
- Settling time

Part# Results: 337	Product Description	Resolution (Bits)	DAC Update Rate	DAC Settling Time	# DAC Outputs	DAC Type	DAC Input Format	Supply Vnom	Price* (1000 pcs.)
AD5337	2.5 V to 5.5 V, 250 μ A, 2-Wire Serial, Rail-Rail Vout, Dual 8-Bit DAC in 8-Lead MSOP	8	14.8kSPS	6 μ s	2	Voltage Out	I2C/Ser 2-wire	Single(+2.7); Single(+3); Single(+3.3); Single(+5)	\$1.12
AD7224	8-Bit, Voltage Output CMOS DAC	8	143kSPS	7 μ s	1	Voltage Out	Par	Dual(+15, -5); Single(+15)	\$4.83
AD5330	2.5 V to 5.5 V, 115 μ A, Parallel Interface, Rail-Rail Voltage-Output 8-Bit DAC	8	167kSPS	6 μ s	1	Voltage Out	Par	Single(+2.7); Single(+3); Single(+3.3); Single(+5)	\$1.97
AD5301	2.5 V to 5.5 V, Low Power, Serial 2-Wire, Rail-Rail Voltage Output, 8-Bit DAC	8	167kSPS	6 μ s	1	Voltage Out	I2C/Ser 2-wire; Ser	Single(+2.5); Single(+2.7); Single(+3); Single(+3.3); Single(+5)	\$1.42
AD5332	+2.5V to 5.5V, 230 μ A, Parallel Interface, Rail-to-Rail Vout, Dual 8-Bit DAC in 20-lead TSSOP	8	167kSPS	6 μ s	2	Voltage Out	Par	Single(+2.7); Single(+3); Single(+3.3); Single(+5)	\$2.99
	2.5 V to 5.5 V,							Single(+2.5);	

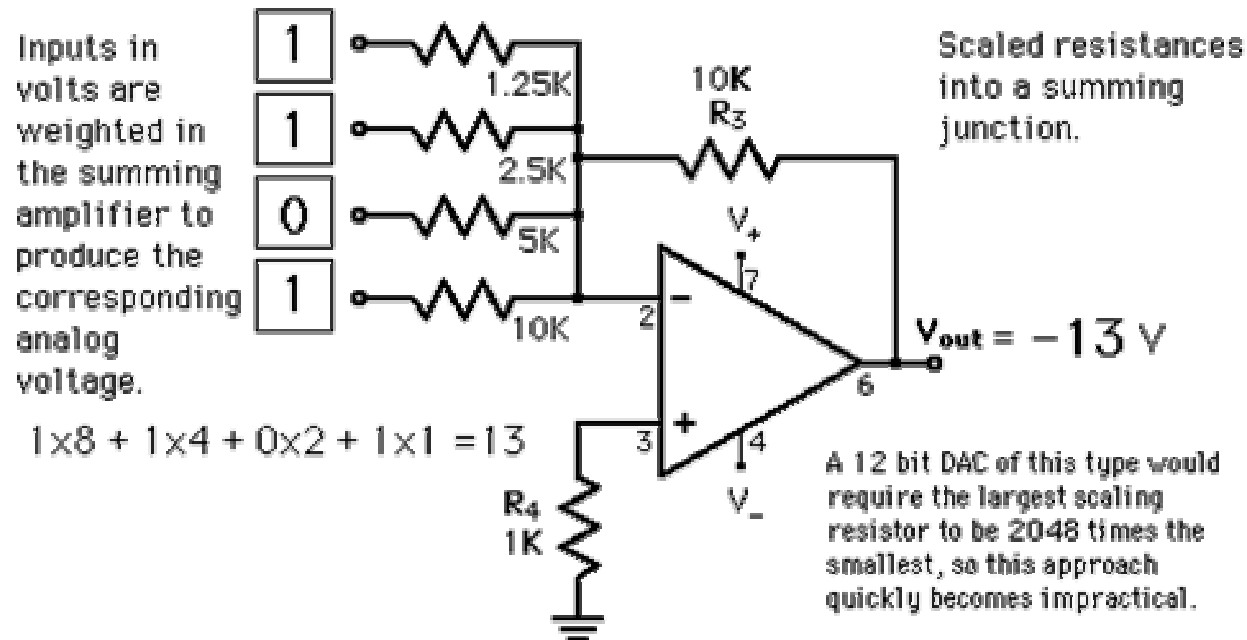
Detalles adicionales:

- Tensión de alimentación
- Consumo de potencia
- Tensión de referencia interna o externa
- Clock del conversor interno o externo
- PRECIO
- Error de offset
- Error de ganancia
- Monotonicidad
- Relación señal/ruido
- Encapsulado

3. Conversores D-A

a. DAC - Red de resistencias ponderadas

- El siguiente circuito permite convertir una señal digital en una analógica:



El problema es que para lograr mucha resolución se requiere resistencias de mucha exactitud que cubran un rango muy amplio de valores.

Además genera mucho ruido de glitch.

3. Conversores D-A

b. DAC - Red de resistencias R-2R

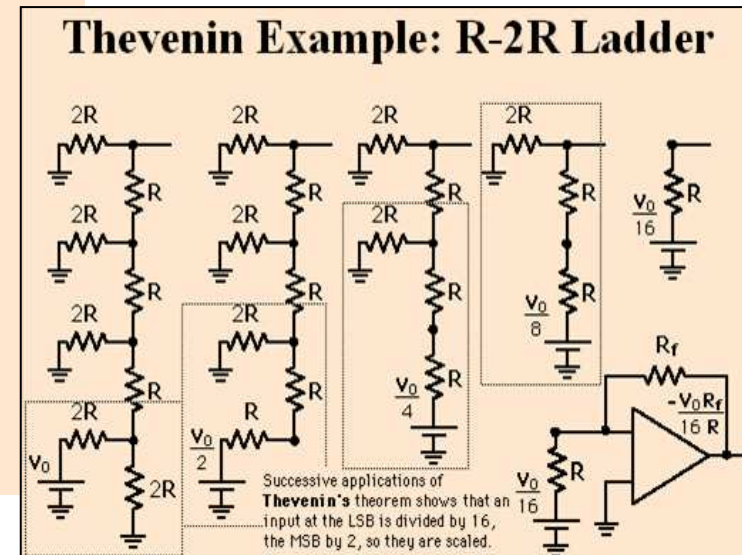
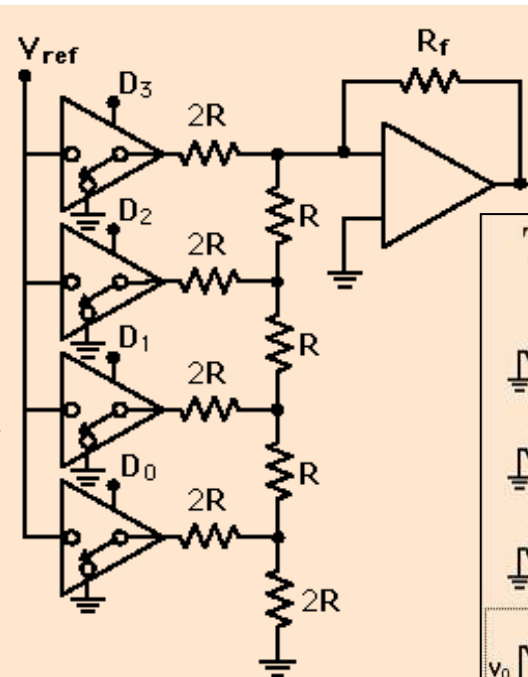
- El siguiente circuito sólo utiliza resistores de valor R y 2R:

The [summing amplifier](#) with the R-2R ladder of resistances shown produces the output

$$V_{out} = \frac{R_f}{R} V_{ref} \left[\frac{D_0}{16} + \frac{D_1}{8} + \frac{D_2}{4} + \frac{D_3}{2} \right]$$

where the D's take the value 0 or 1. The digital inputs could be [TTL](#) voltages which close the [switches](#) on a logical 1 and leave it grounded for a logical 0. This is illustrated for 4 bits, but can be extended to any number with just the resistance values R and 2R.

[More Detail](#)



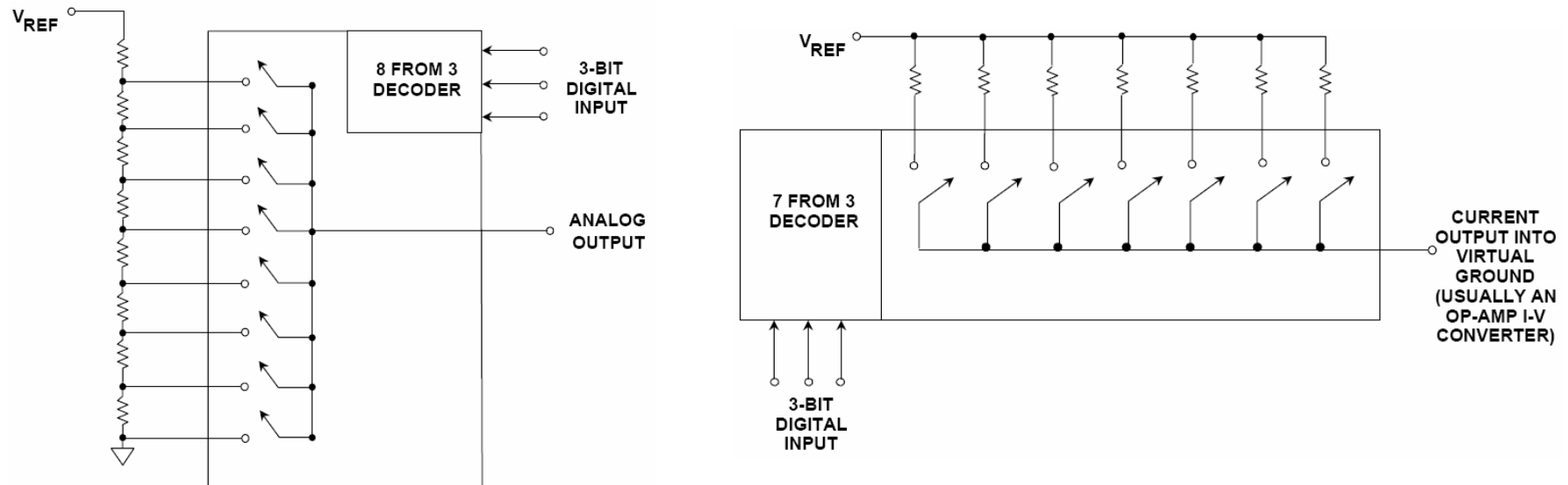
De esta manera ya no se requieren resistencias de mucha exactitud que cubran un rango muy grande de valores, como el DAC de resistencias ponderadas.

Pero igualmente genera mucho ruido de glitch.

3. Conversores D-A

c. DAC – Kelvin divider (o “Fully decoder DACs” o “string DACs” o “thermother”

- El conversor más elemental que no genera glitch es “termométrico”:



- Es una arquitectura simple
- Es inherentemente monotónico.
- Tiene muy bajo glitch (conmuta un solo switch).
- DIFICULTAD: No se pueden crear redes de más de ~255 resistores (8 bits).

3. Conversores D-A

c. DAC – Kelvin divider (o “Fully decoder DACs” o “string DACs” o “thermother”



8-Bit, High Speed, Multiplying D/A Converter
(Universal Digital Logic Interface)

US\$ 0.75

DAC08

FEATURES

Fast settling output current: 85 ns
Full-scale current prematched to ± 1 LSB
Direct interface to TTL, CMOS, ECL, HTL, PMOS
Nonlinearity to 0.1% maximum over temperature range
High output impedance and compliance: -10 V to $+18$ V
Complementary current outputs
Wide range multiplying capability: 1 MHz bandwidth
Low FS current drift: ± 10 ppm/ $^{\circ}\text{C}$
Wide power supply range: ± 4.5 V to ± 18 V
Low power consumption: 33 mW @ ± 5 V
Low cost

GENERAL DESCRIPTION

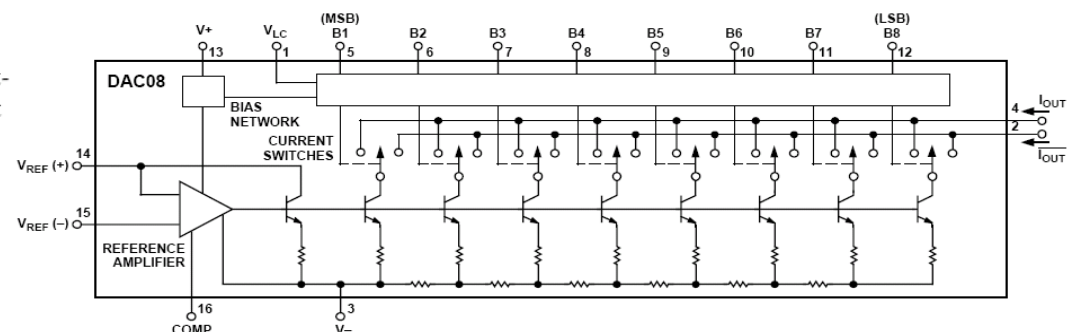
The DAC08 series of 8-bit monolithic digital-to-analog converters provide very high speed performance coupled with low cost and outstanding applications flexibility.

Advanced circuit design achieves 85 ns settling times with very low “glitch” energy and at low power consumption. Monotonic multiplying performance is attained over a wide 20-to-1 reference current range. Matching to within 1 LSB between reference and full-scale currents eliminates the need for full-

scale trimming in most applications. Direct interface to all popular logic families with full noise immunity is provided by the high swing, adjustable threshold logic input.

High voltage compliance complementary current outputs are provided, increasing versatility and enabling differential operation to effectively double the peak-to-peak output swing. In many applications, the outputs can be directly converted to voltage without the need for an external op amp. All DAC08 series models guarantee full 8-bit monotonicity, and nonlinearities as tight as $\pm 0.1\%$ over the entire operating temperature range are available. Device performance is essentially unchanged over the ± 4.5 V to ± 18 V power supply range, with 33 mW

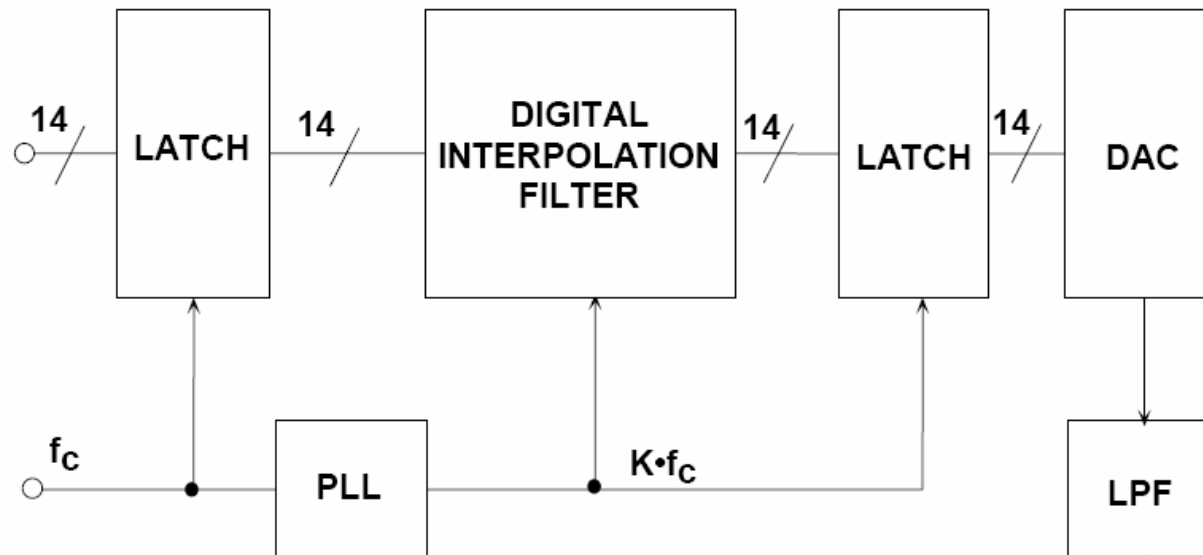
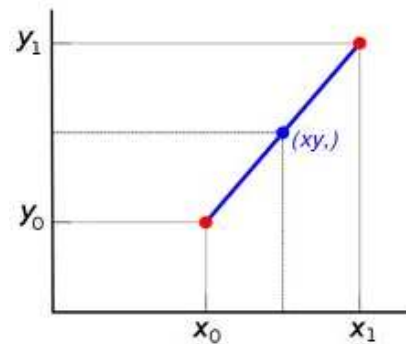
FUNCTIONAL BLOCK DIAGRAM



3. Conversores D-A

d. Interpolating DACs

Se puede disminuir el ruido introducido en la señal mediante un interpolador que genere valores digitales intermedios entre muestras consecutivas.



3. Conversores D-A

d. Interpolating DACs

- Ejemplo de aplicación práctica: **AD9772 TxDAC™ 14-BIT CMOS DAC CORE**



U\$S 6.22

**14-Bit, 150 MSPS TxDAC+™
with 2× Interpolation Filter**

AD9772

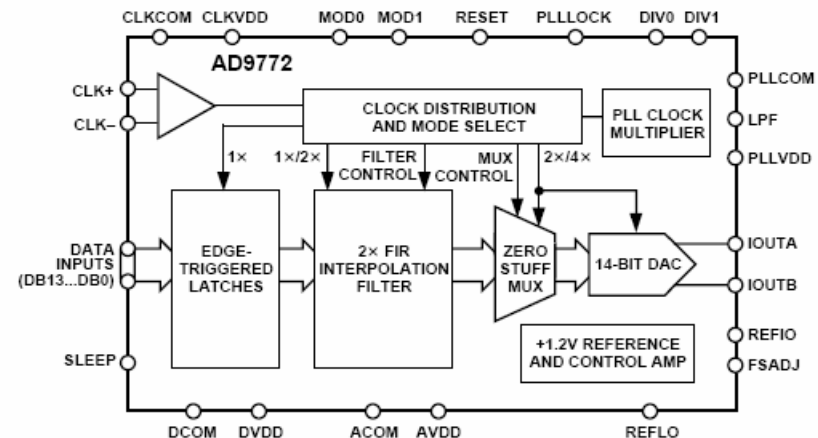
FEATURES

Single 2.7 V to 3.6 V Supply
14-Bit DAC Resolution and Input Data Width
150 MSPS Input Data Rate
63.3 MHz Reconstruction Passband @ 150 MSPS
75 dBc SFDR @ 25 MHz
2× Interpolation Filter with High or Low Pass Response
73 dB Image Rejection with 0.005 dB Passband Ripple
"Zero-Stuffing" Option for Enhanced Direct IF
Performance
Internal 2×/4× Clock Multiplier
205 mW Power Dissipation; 13 mW with Power-Down Mode
48-Lead LQFP Package

APPLICATIONS

Communication Transmit Channel
WCDMA Base Stations, Multicarrier Base Stations,
Direct IF Synthesis
Instrumentation

FUNCTIONAL BLOCK DIAGRAM

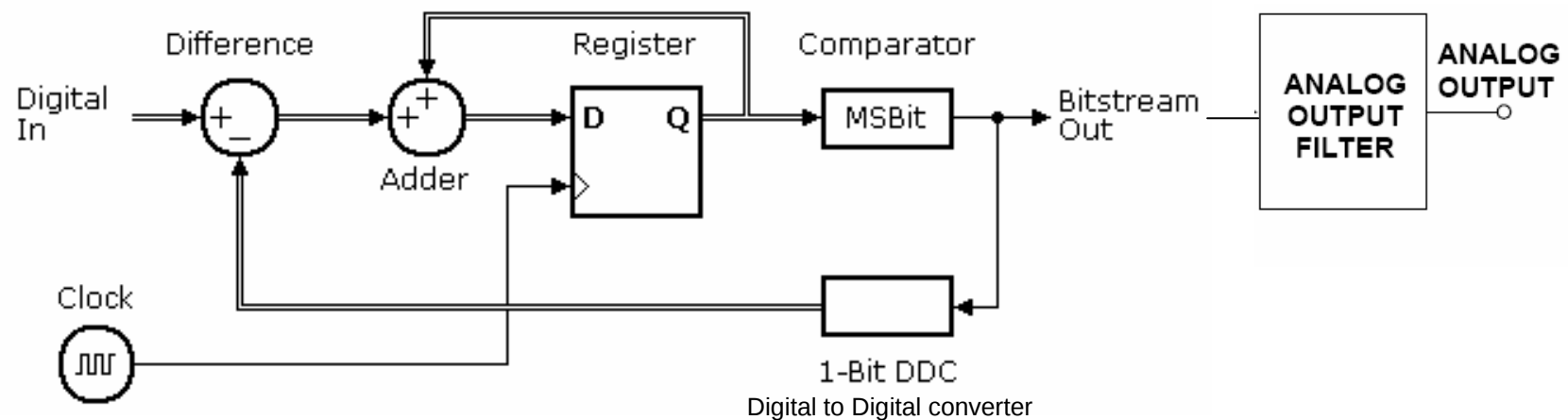


segmented current source architecture is combined with a proprietary switching technique to reduce spurious components and enhance dynamic performance. Matching between the two current outputs ensures enhanced dynamic performance in a differential output configuration. The differential current out-

3. Conversores D-A

e. Sigma-Deltas DACs

Dada una señal digital se puede usar un modulador Sigma-Delta digital para que genere un bit stream y después filtrar analógicamente:



3. Conversores D-A

e. Sigma-Deltas DACs (ejemplo)



U\$S 6.50

Stereo, 96 kHz, Multibit $\Sigma\Delta$ DAC

AD1854

FEATURES

5 V Stereo Audio DAC System
 Accepts 16-/18-/20-/24-Bit Data
 Supports 24 Bits and 96 kHz Sample Rate
 Multibit Sigma-Delta Modulator with "Perfect Differential Linearity Restoration" for Reduced Idle Tones and Noise Floor
 Data Directed Scrambling DAC—Least Sensitive to Jitter
 Differential Output for Optimum Performance
 113 dB Dynamic Range at 48 kHz Sample Rate (AD1854KRS)
 112 dB Signal-to-Noise at 48 kHz Sample Rate (AD1854KRS)
 -101 THD+N (AD1854KRS)
 On-Chip Volume Control with 1024 Steps
 Hardware and Software Controllable Clickless Mute
 Zero Input Flag Outputs for Left and Right Channels
 Digital De-Emphasis Processing
 Supports $256 \times F_s$ or $384 \times F_s$ Master Mode Clock
 Switchable Clock Doubler
 Power-Down Mode Plus Soft Power-Down Mode
 Flexible Serial Data Port with Right-Justified, Left-Justified, and I²S-Compatible
 28-Lead SSOP Plastic Package

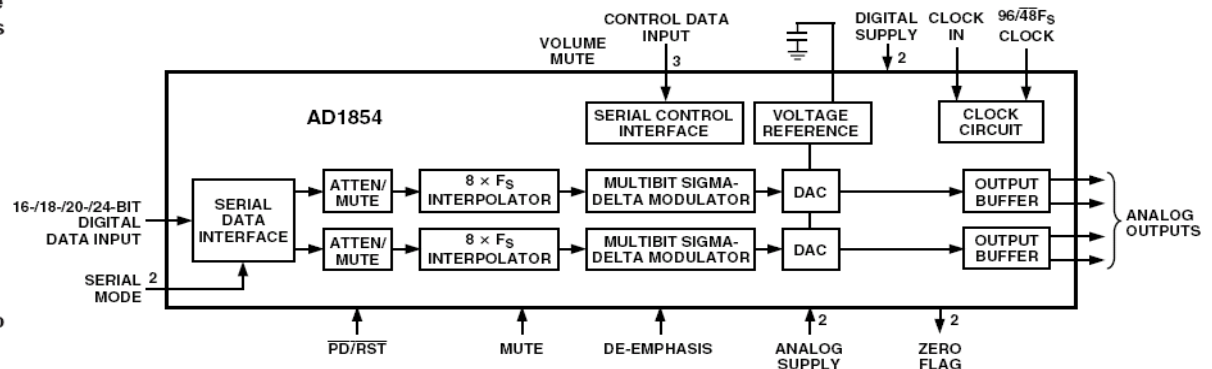
APPLICATIONS

DVD, CD, Set-Top Boxes, Home Theater Systems, Automotive Audio Systems, Sampling Musical Keyboards, Digital Mixing Consoles, Digital Audio Effects Processors

PRODUCT OVERVIEW

The AD1854 is a high performance, single-chip stereo, audio DAC delivering 113 dB Dynamic Range and 112 dB SNR (A-weighted—not muted) at 48 kHz sample rate. It is comprised of a multibit sigma-delta modulator with dither, continuous time analog filters and analog output drive circuitry. Other features include an on-chip stereo attenuator and mute, programmed through an SPI-compatible serial control port. The AD1854 is fully compatible with current DVD formats, including 96 kHz sample frequency and 24 bits. It is also backwards compatible by supporting 50 μ s/15 μ s digital de-emphasis intended for "redbook" 44.1 kHz sample frequency playback from compact discs.

FUNCTIONAL BLOCK DIAGRAM



FIN.

