

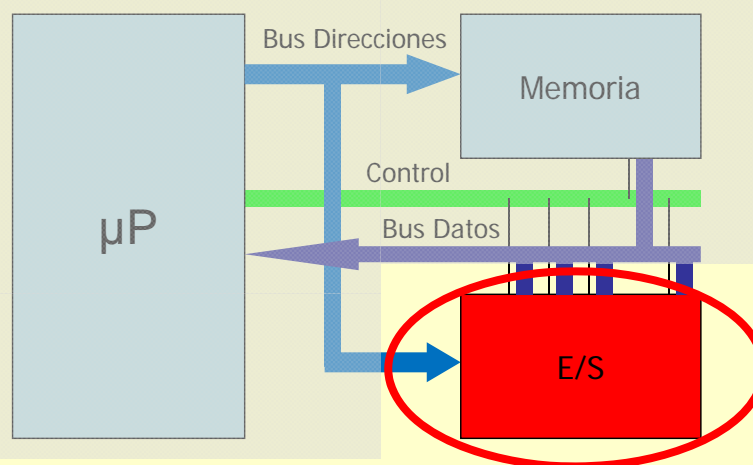
Entradas y Salidas

- a) Con periféricos de mediana velocidad conviene trabajar por **FLAG** (control por programa).
- b) Con periféricos rápidos utilizando el esquema de la línea **READY**.
- c) Con periféricos de Actuación Esporádica con el esquema de **Handshake e Interrupciones**.
- d) Con periféricos Muy Rápidos mediante acceso directo a memoria (**DMA**).

Entradas y Salidas

1

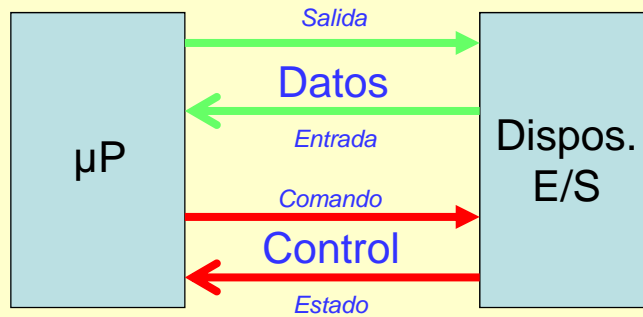
Componentes básicos de una PC



Entradas y Salidas

2

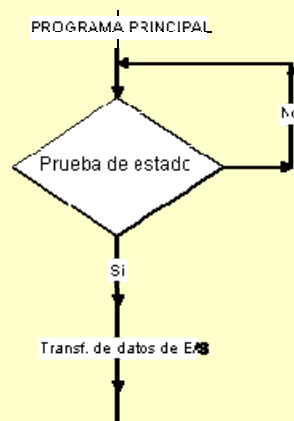
Por Programa



Entradas y Salidas

3

Por Programa

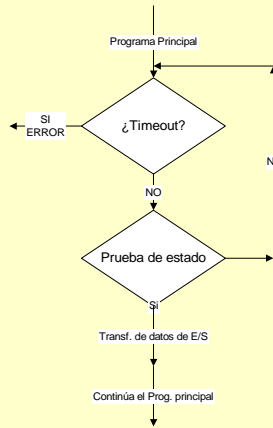


Vuelta: jnb p3.5, vuelta
mov a,p0

Entradas y Salidas

4

Por Programa - Timeout

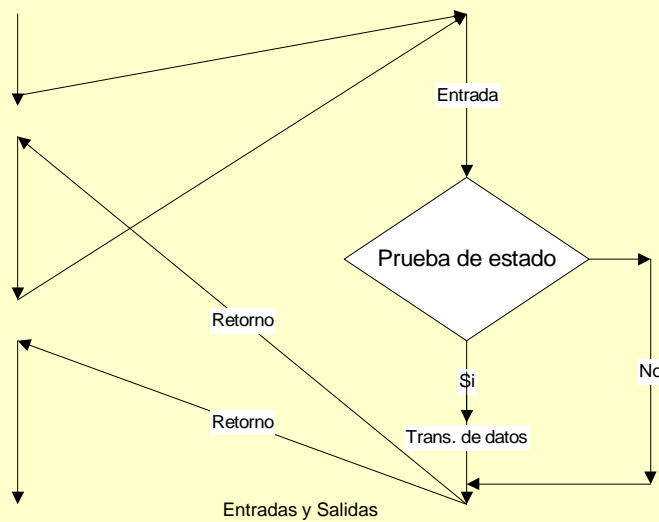


```
mov    r7,#100
Vuelta: jb    p3.5, lee
        djnz   r7,vuelta
        ajmp   error
Lee:    mov    a,p0
```

Entradas y Salidas

5

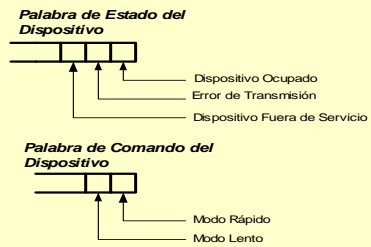
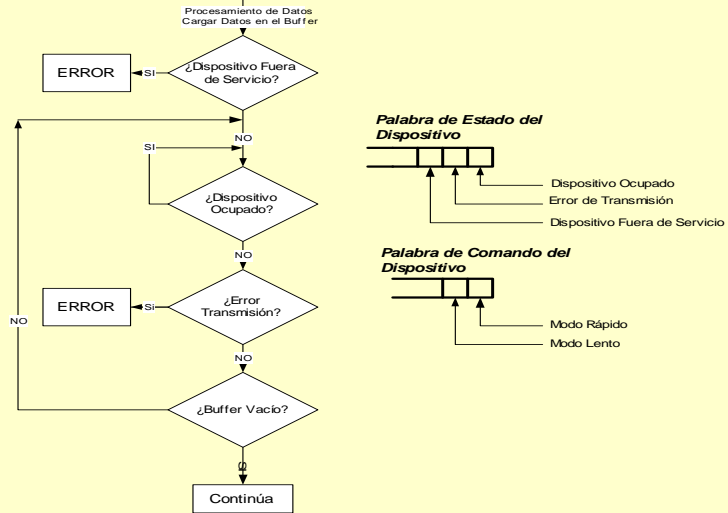
Operación Entrelazada



Entradas y Salidas

6

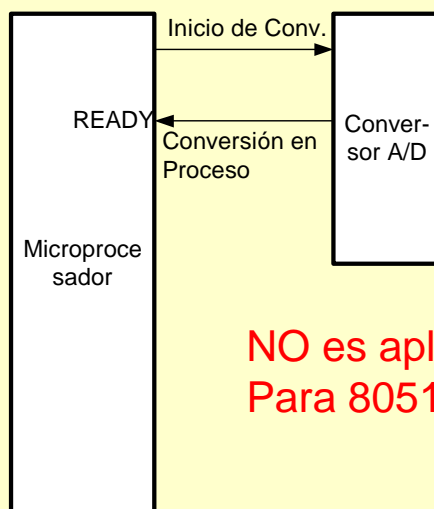
Control y Estado



Entradas y Salidas

7

Sincronización por Ready

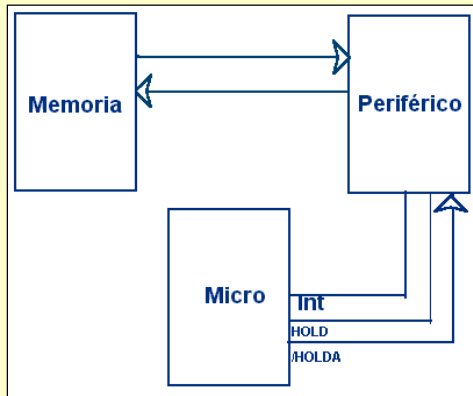


**NO es aplicable
Para 8051**

Entradas y Salidas

8

Acceso directo a memoria



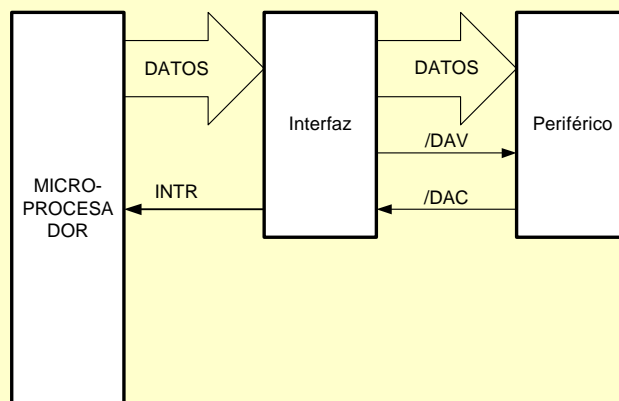
```
MOV R7,#NUM
MOV DPTR,#BUF
Lazo: MOV A,P0
      MOVX @DPTR,A
      INC DPTR
      DJNZ R7,Lazo
```

**NO es aplicable
Para 8051 básico
Y sí para algunos
derivados**

Entradas y Salidas

9

Handshake



Entradas y Salidas

10

Resumen

- **Ready:** Tiempo comparable con una instrucción.
- **Interrupción:** Tiempo de muchas instrucciones
- **Flag:** Tiempo de unas pocas instrucciones.
- **Acceso directo a memoria:** Tiempo inferior a una instrucción

Objetivos de la clase

- Contrastar y comparar interrupciones vs encuesta
- Explicar el propósito de las ISR
- Presentar las 6 interrupciones del 8051
- Explicar el propósito de la tabla de interrupciones vectorizadas
- Habilitar o deshabilitar las interrupciones
- Programar los temporizadores del 8051 para utilizarlos con interrupciones

Objetivos de la clase

- Describir las dos interrupciones externas de hardware del 8051
- Contrastar las interrupciones activadas por nivel con las activadas por flanco
- Programar al 8051 para comunicación serie manejada por interrupción
- Definir las prioridades de las interrupciones del 8051

Entradas y Salidas

13

Interrupciones

Un microcontrolador puede atender “simultaneamente” múltiples periféricos o tareas.

Puede hacerlo:

- *Por encuesta*
- *Por interrupción.*

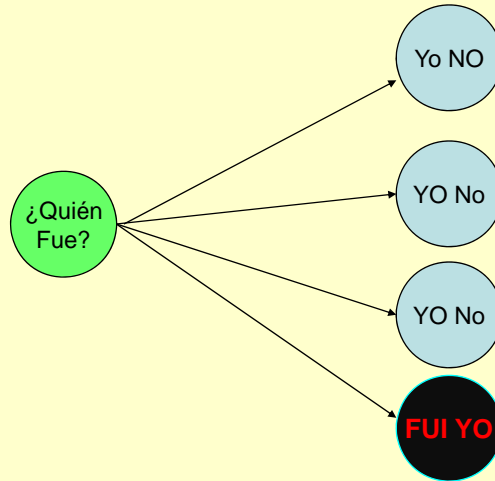
Una interrupción es un evento interno o externo que le informa al microcontrolador que requiere su atención

Entradas y Salidas

14

Encuesta (polling)

- Serie

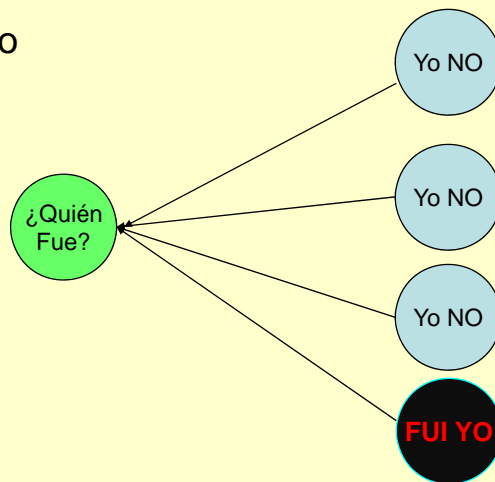


Entradas y Salidas

15

Encuesta (polling)

- Paralelo



Entradas y Salidas

16

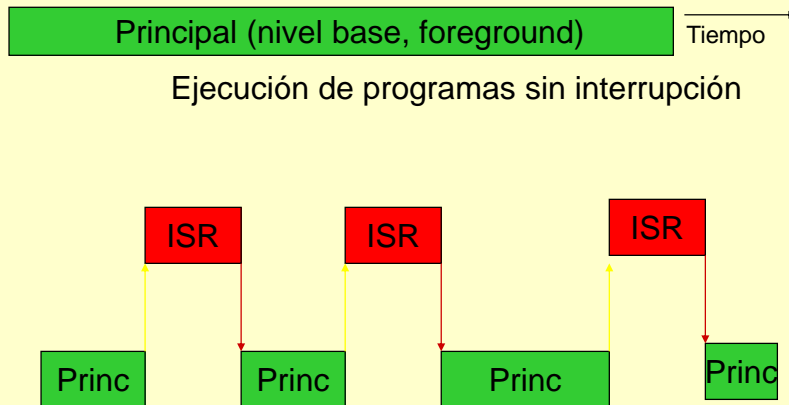
Interrupciones

- Una interrupción es la ocurrencia de una condición (un evento) que causa la suspensión temporaria de un programa mientras el evento esta atendido por otro programa (Rutina de atención de interrupción ó ISR)
- Los sistemas operados por interrupción dan la impresión de que muchas acciones se realizan simultáneamente.
- La rápida atención a los eventos es necesaria para las aplicaciones de control en tiempo real

Frases a recordar

- Rutina de atención de interrupción (ISR)
- Programa Base o en el frente
- Programa de interrupción o de fondo
- Vectores de interrupción

Interrupciones



Las interrupciones ocurren asincrónicamente

Entradas y Salidas

19

Pasos en la ejecución de una interrupción

- Si está habilitada la interrupción generada (y la habilitación general) se termina la instrucción actual y se guarda el PC en la pila.
- Se salta a una posición fija dependiendo del tipo de interrupción.
- Se inicia la ejecución de la rutina de atención de interrupción en la que si es necesario se salvarán los registros que correspondan. Se deberá termina con RETI (retorno de interrupción)

Entradas y Salidas

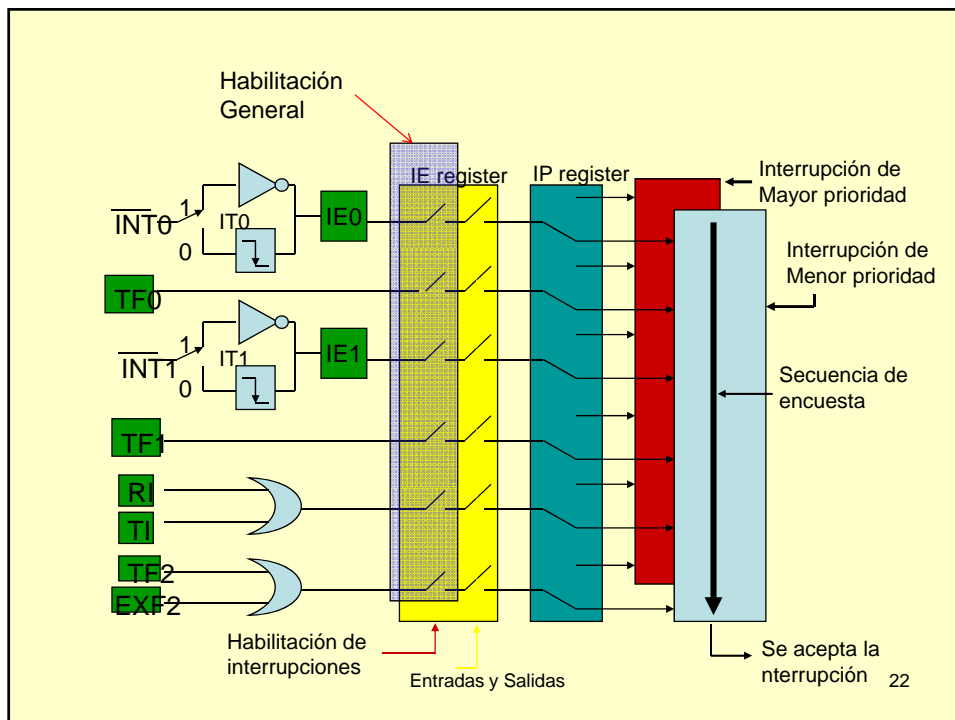
20

Fuentes de interrupción del 8051

- 6 fuentes de interrupción: Reset, 2 externas, 2 timer, una de puerto serie
- 2 niveles de prioridad programables
- Secuencia fija de encuesta de las interrupciones
- Pueden ser habilitadas o deshabilitadas individualmente
- IE (A8H), IP (B8H) para controlarlas

Entradas y Salidas

21



Prioridades

1. Las interrupciones son sondeadas en un determinado orden fijo o prioridad intrínseca.
2. Existen dos nivel de prioridad. Una interrupción de prioridad 1 puede interrumpir la ISR de una de prioridad 0. NO al revés.
3. En caso de simultaneidad de interrupciones se atiende primero la de mayor prioridad.
4. En caso de igualdad de prioridades y en simultaneidad se atenderá la de mayor prioridad intrínseca.

Entradas y Salidas

23

Fuentes de interrupción del 8051

- Vector de interrupción= La dirección de inicio de la ISR.
- Cuando se atiende una interrupción, el flag generador de la interrupción es automáticamente resetado por hardware, salvo RI/TI and TF2/EXF2 que deben ser determinadas y limpiadas por software.

InterruptFlag	Vector Address	
System Reset	RST	0000H (LJMP 0030H)
External 0	IE0	0003H
Timer 0	TF0	000BH
External 1	IE1	0013H
Timer 1	TF1	001BH
Serial Port	RI or TI	0023H
Timer 2	TF2 or EXF2	002BH

Entradas y Salidas

24

Habilitación de Interrupciones

IE : Interrupt Enable Register (Bit Addressable)

If the bit is 0, the corresponding interrupt is disabled. If the bit is 1, the corresponding interrupt is enabled.

EA	-	-	ES	ET1	EX1	ET0	EX0
----	---	---	----	-----	-----	-----	-----

EA	IE.7	Disables all interrupts. If EA = 0, no interrupt will be acknowledged. If EA = 1, interrupt source is individually enable or disabled by setting or clearing its enable bit.
-	IE.6	Not implemented, reserved for future use*.
-	IE.5	Not implemented, reserved for future use*.
ES	IE.4	Enable or disable the Serial port interrupt.
ET1	IE.3	Enable or disable the Timer 1 overflow interrupt.
EX1	IE.2	Enable or disable External interrupt 1.
ET0	IE.1	Enable or disable the Timer 0 overflow interrupt.
EX0	IE.0	Enable or disable External Interrupt 0.

Registro IP

	7	6	5	4	3	2	1	0
	-	PPCL	PT2L	PSL	PT1L	PX1L	PT0L	PX0L
Bit Number	Bit Mnemonic	Description						
7	-	Reserved The value read from this bit is indeterminate. Do not set this bit.						
6	PPCL	PCA Interrupt Priority Bit see PPCH for priority level.						
5	PT2L	Timer 2 Overflow Interrupt Priority Bit see PT2H for priority level.						
4	PSL	Serial Port Priority Bit see PSH for priority level.						
3	PT1L	Timer 1 Overflow Interrupt Priority Bit see PT1H for priority level.						
2	PX1L	External Interrupt 1 Priority Bit see PX1H for priority level.						
1	PT0L	Timer 0 Overflow Interrupt Priority Bit see PT0H for priority level.						
0	PX0L	External Interrupt 0 Priority Bit see PX0H for priority level.						

Propio de cada Microcontrolador

Habilitación y deshabilitación

- ❑ Por instrucciones MOV. Recomendado al inicio del Programa

```
MOV IE, #10010110B
```

- ❑ Por operación de bits. Recomendado para el medio del programa

```
SETB EA      ; Habilitar todas
SETB ET0     ; Habilitar Timer0
SETB ET1     ; Habilitar Timer1
SETB EX0     ; Habilitar INT0
SETB EX1     ; Habilitar INT1
SETB ES      ; Habilitar Serie
```

Entradas y Salidas

27

Arquitectura de un programa

```
ORG 0000H      ;punto de entrada
LJMP Main     ;Ocupa 3 bytes
ORG 0003H      ;entrada a la ISR de /INT0
.             ;8 bytes para la ISR de IE0
.             ;o salto a una ISR de IE0
.             ; más grande
ORG 000BH      ; Punto de entrada de
               ; ISRTimer
.
.
ORG 0030H      ;entrada al main
Main:
.
.
.
2009/6/3      ;
```

T. L. Jong, Dept. of E.E., NTHU

28

Rutina de atención de interrupción

- 8 bytes para cada vector de interrupción. Una ISR pequeña puede caber en los mismos.
- Por ejemplo (asumimos que sólo se implementa T0ISR)

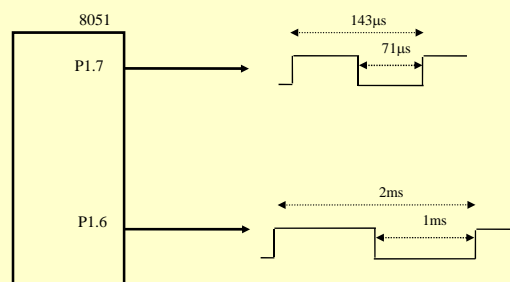
```
                ORG      0000H
                LJMP     PRINC
                ORG      000BH
T0ISR:          .
                .
                RETI
PRINC:          .                               ;sólo T0ISR
```

Entradas y Salidas

29

Ejercicio Planteado

- Escribir un programa que por interrupciones genere una señal rectangular de 500 Hz y de 7 kHz



Entradas y Salidas

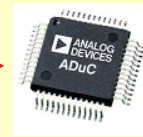
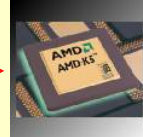
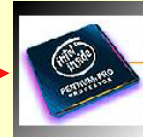
30

Supervisores

APLICACIONES

- Microprocesadores
- Controladores
- Instrumentos Inteligentes
- Automóviles
- Las que necesite cada usuario

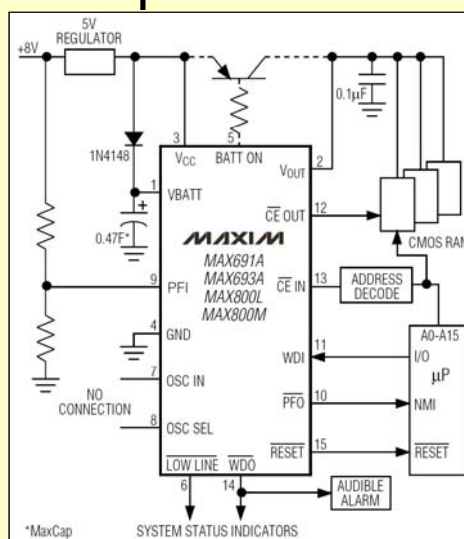
RESET



Entradas y Salidas

31

Supervisores



Entradas y Salidas

32

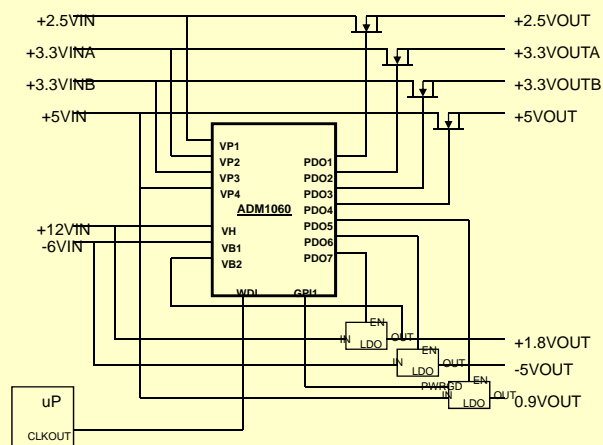
Supervisores

PARAMETER	CONDITIONS		MIN	TYP	MAX	UNITS
Operating Voltage Range, V _{CC} , VBATT (Note 1)			0		5.5	V
V _{OUT} Output	V _{CC} = 4.5V	I _{OUT} = 25mA		V _{CC} - 0.02	V _{CC} - 0.05	V
		I _{OUT} = 250mA	MAX69_AC	V _{CC} - 0.2	V _{CC} - 0.3	
			MAX69_AE, MAX800_C/E	V _{CC} - 0.2	V _{CC} - 0.35	
		I _{OUT} = 210mA	MAX69_A/M		V _{CC} - 0.40	
MAX69_AC/AE, MAX800_C/E	V _{CC} - 0.17		V _{CC} - 0.3V			
V _{CC} -to-V _{OUT} On-Resistance	V _{CC} = 4.5V	MAX69_AC, MAX800_C	0.8	1.2	Ω	
		MAX69_AE, MAX800_E	0.8	1.4		
		MAX69_A/M	0.8	1.6		
V _{OUT} in Battery-Backup Mode	VBATT = 4.5V, I _{OUT} = 20mA		VBATT - 0.3		V	
	VBATT = 2.8V, I _{OUT} = 10mA		VBATT - 0.25			
	VBATT = 2.0V, I _{OUT} = 5mA		VBATT - 0.15			
VBATT-to-V _{OUT} On-Resistance	VBATT = 4.5V			15	Ω	
	VBATT = 2.8V			25		
	VBATT = 2.0V			30		
Supply Current in Normal Operating Mode (excludes I _{OUT})	V _{CC} > VBATT - 1V			30	100	μA
Supply Current in Battery-Backup Mode (excludes I _{OUT}) (Note 2)	V _{CC} < VBATT - 1.2V, VBATT = 2.8V	T _A = +25°C		0.04	1	μA
		T _A = T _{MIN} + T _{MIN}			5	
VBATT Standby Current (Note 3)	VBATT + 0.2V ≤ V _{CC}	T _A = +25°C		-0.1	0.02	μA
		T _A = T _{MIN} + T _{MIN}		-1.0	0.02	
Battery Switchover Threshold	Power-up				VBATT + 0.3	V
	Power-down				VBATT - 0.3	

Entradas y Salidas

33

Supervisores



Entradas y Salidas

34

Interrupciones

0	0003h	EXTERNAL 0
1	000Bh	TIMER/COUNTER 0
2	0013h	EXTERNAL 1
3	001Bh	TIMER/COUNTER 1
4	0023h	SERIAL PORT

Entradas y Salidas

35

Rutinas de atención de interrupción

```
unsigned int int_count;
unsigned char second;
void timer0 (void) interrupt 1 using 2 {
    if (++int_count == 4000) { /* count to 4000 */
        second++; /* second counter */
        int_count = 0; /* clear interrupt counter */
    }
}
```

http://www.keil.com/appnotes/files/apnt_103.pdf
<http://www.phaedsys.demon.co.uk/chris/8051/8051interrupts.htm>

Entradas y Salidas

36