

**UNIVERSIDAD TECNOLÓGICA NACIONAL  
FACULTAD REGIONAL BS. AS.**

**Departamento de Electrónica  
Cátedra: Técnicas Digitales II**

# **Conversión Analógico/Digital y Digital Analógica**

Autor: Ing. Alejandro J. Furfaro

Versión 3  
Fecha de revisión: Octubre 1994

# CONVERSIÓN A/D Y D/A

## 1\_ CONVERSIÓN D/A

### 1.a\_ Conversión Unipolar

Supóngase que se desea transformar un número binario de tres bits en una tensión de salida proporcional. Con tres bits tenemos ocho números posibles de entrada: desde 000 hasta 111, con lo cual corresponderán ocho valores diferentes de la tensión de salida. Si llamamos  $V_R$  a la tensión de salida a fondo de escala y la dividimos en ocho valores, llegamos a construir el siguiente gráfico.

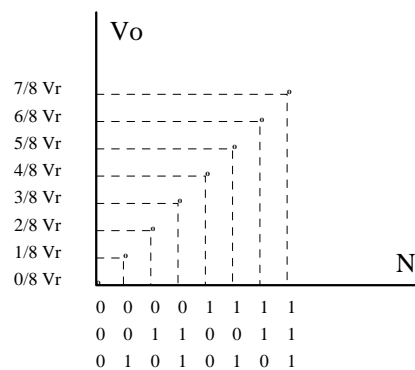


FIGURA 1

Así vemos que no puede alcanzarse el valor  $V_R$ , sino  $7/8$  del mismo. No obstante se adopta como convención tomar a  $V_R$  como valor de fondo de escala. Como el valor del número  $N$  de entrada jamás llegará a  $2^n$  (  $n$  = número de bits ), los puntos de la curva de respuesta tenderán a  $V_R$  sin alcanzarla.

La expresión de la tensión de salida será:

$$V_o = \frac{N}{2^n} V_R$$

### FUNCIÓN TRANSFERENCIA DEL CONVERSION

Donde:  $n$  es la cantidad de bits que componen el número binario  $N$ , y

$$N = \sum_{j=0}^n b_j \cdot 2^j$$

donde  $b_j = 0$  si el bit de orden  $j$  es 0 y  $b_j = 1$  si el bit de orden  $j$  es 1.

A continuación veremos los circuitos para implementar la Función de Transferencia.

1.a.i\_ CDA por Red R:

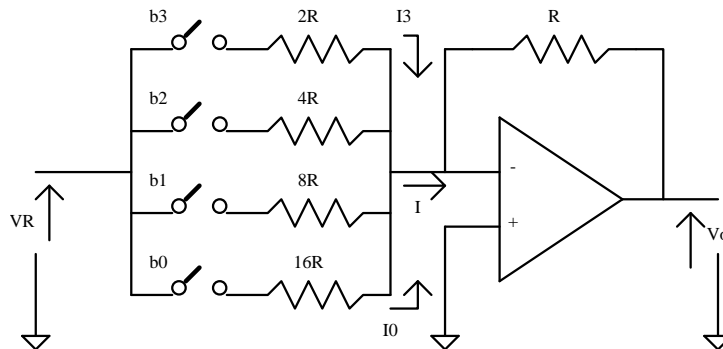


FIGURA 2

El amplificador operacional se comporta como un amperímetro ideal (  $R_i \rightarrow \infty$ ,  $V_o$  proporcional a  $I$  ).

Si  $b_3$  está cerrada circula  $I_3$ . Si cierra  $b_2$  circula  $I_2 = I_3 / 2$ . Si cierra  $b_1$  circula  $I_1 = I_2 / 2 = I_3 / 4$ . Finalmente si cierra  $b_0$  circula  $I_0 = I_1 / 2 = I_2 / 4 = I_3 / 8$ . Teniendo en cuenta esto, la corriente  $I$  será la suma de las componentes individuales de las ramas que tengan la llave  $b_j$  cerrada.

Entonces:

$$V_o = \sum_{j=0}^n -I_j \cdot R = -R \cdot \sum_{j=0}^n I_j = -R \cdot \sum_{j=0}^n b_j \cdot V_R / R_j$$

$$\begin{aligned} b_j = 0 & \text{ llave abierta} \\ b_j = 1 & \text{ llave cerrada} \end{aligned}$$

$$R_j = 2^{n-j} \cdot R \quad (\text{Ej: bit } 2 \quad j = 2 \quad R_j |_{j=2} = 2^{n-2} \cdot R = 2^{4-2} \cdot R = 4R)$$

$$V_o = -R \cdot \sum_{j=0}^n \frac{b_j \cdot V_R}{2^{n-j} \cdot R} = -\sum_{j=0}^n \frac{b_j \cdot V_R}{2^n \cdot 2^j} = -\frac{V_R}{2^n} \sum_{j=0}^n b_j \cdot 2^j$$

$$\text{pero } \sum_{j=0}^n b_j \cdot 2^j = N \quad (\text{Número binario})$$

luego:

$$V_o = -\frac{N}{2^n} V_R$$

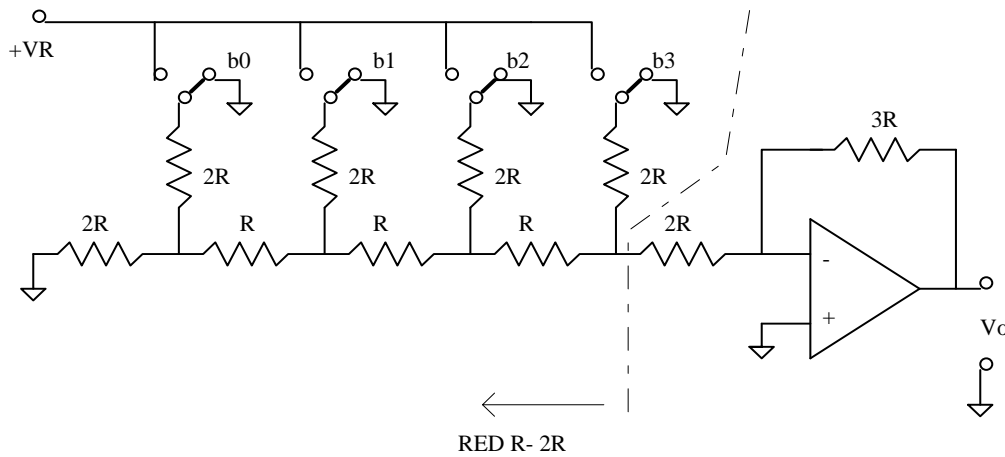
FUNCIÓN TRANSFERENCIA DEL CONVERTOR

Para garantizar que este circuito no sufra corrimientos térmicos, bastaría que todas las  $R$  variasen proporcionalmente con la temperatura de igual forma, ya que así la relación entre ellas se mantendría constante. Para que esto se verifique, deberían estar todas construidas del mismo material. En convertidores de más de 8 bits, se hace ya muy difícil

mantener esta condición, ya que  $R_0$  sería  $256R$  para 8 bits,  $512R$  para 9 bits,  $1024R$  para 10 bits, y así sucesivamente, lo que implica el uso de resistores de diferente constitución, y en consecuencia la aparición de derivas térmicas.

1.a.ii\_ CDA por Red R-2R en modo conmutación de corriente

Se compone del siguiente circuito, también llamado escalera. Presenta 2 resistencias por cada bit a convertir contra solo una que presenta el anterior, pero tiene una gran ventaja: solo requiere dos valores de resistencia, con lo cual elimina la probabilidad de derivas térmicas

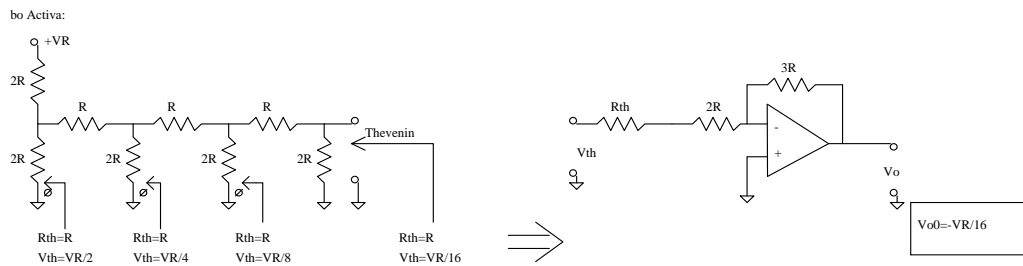


RED R- 2R

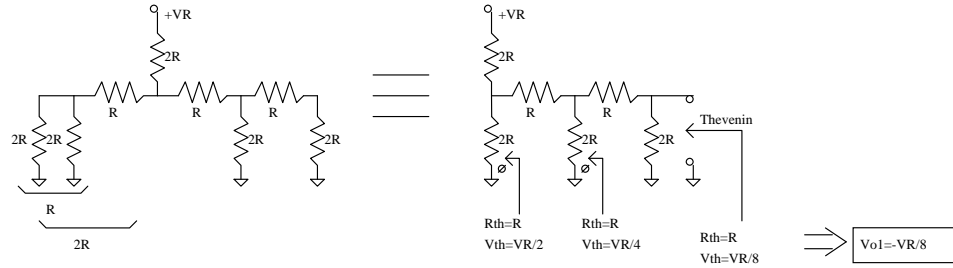
FIGURA 3

Cada llave hace sumar una componente de corriente proporcional a la entrada en pasos de a dos.

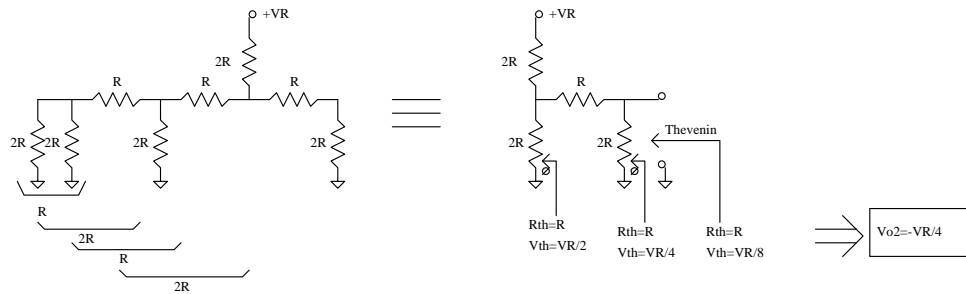
Para evaluar cada componente se aplica el teorema de superposición.



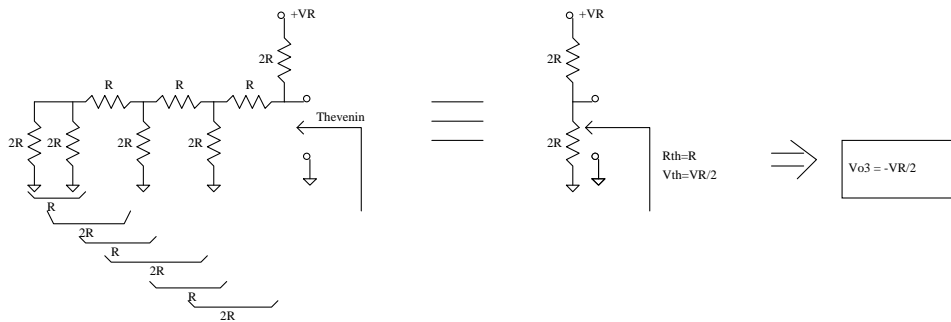
b1 Activa:



b2 Activa:



b3 Activa:



Aplicando Superposición:

$$V_o = V_{o0} + V_{o1} + V_{o2} + V_{o3}$$

Suponiendo activas todas las llaves  $b_j$  :

$$V_o = -\frac{V_R}{16} - \frac{V_R}{8} - \frac{V_R}{4} - \frac{V_R}{2}$$

$$V_o = \sum_{j=0}^n \frac{b_j \cdot V_R}{2^{n-j}}$$

Donde n es el número de bits y  $b_j = 0$  si la llave está inactiva y  $b_j = 1$  si está activa.

Como:

$$\sum_{j=0}^n b_j \cdot 2^j = N$$

Entonces:

$$V_o = \frac{V_R \cdot N}{2^n}$$

Que es la función transferencia del conversor

1.a.iii\_ CDA por Red R-2R en modo conmutación de tensión

Aplicando el teorema de reciprocidad en el circuito anterior se deriva en este otro:

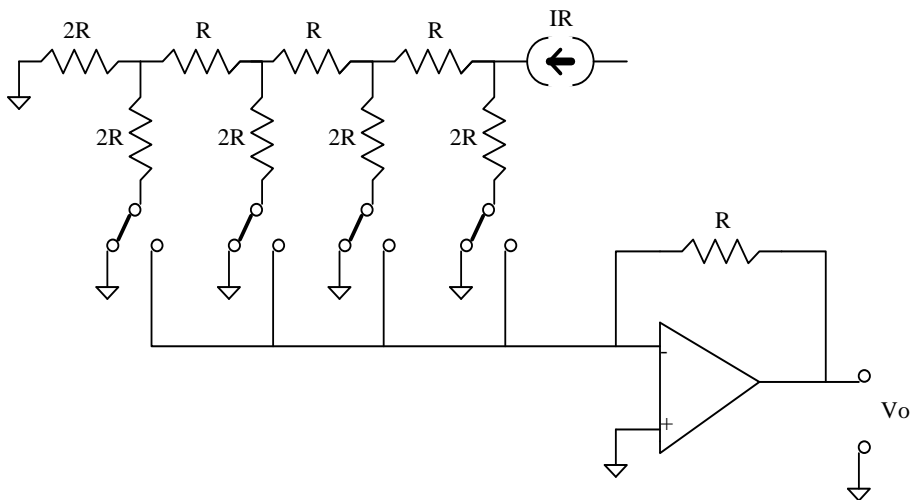


FIGURA 4

1.a.iv\_ CDA Por Modulación de ancho de pulso

Con todos los circuitos vistos hasta aquí se tiene un problema al intentar obtener buena precisión, ya que se requiere gran cantidad de resistores de buena precisión (baja tolerancia). Buscamos un circuito de gran exactitud pero con pocos elementos que pesen en la precisión. La respuesta en este sentido la da el CDA por Modulación de ancho de pulso. Se trata de un circuito con muy pocos elementos que influyan en la precisión, pero tiene una desventaja: al tratarse de un circuito secuencial, el tiempo de conversión resulta lento. En los circuitos anteriores, en cambio, la conversión era inmediata.

Su funcionamiento se basa en la siguiente filosofía: Se tiene una onda rectangular de amplitud y frecuencia fijas, pero con su *duty cycle* ( ancho del pulso alto sobre el período de la señal completa ) variable. Se la hace pasar por un filtro pasabajos para obtener en la salida su valor medio, que resulta proporcional al *duty cycle* .

Por lo tanto el problema se resuelve generando una señal rectangular cuyo ancho de pulso sea proporcional al número  $N$  a convertir.

A continuación tenemos el circuito resultante:

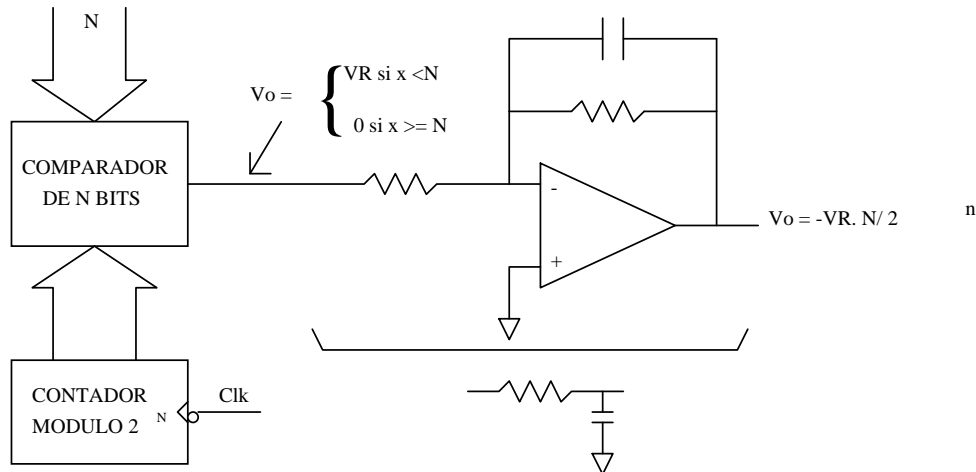


FIGURA 4

En el mismo momento en que se inyecta el número N en el comparador, se dispara el contador módulo  $2^n$  ( n = número de bits ). La salida del comparador será la resultante de la diferencia entre el número N y la cuenta. Cuando la cuenta alcance al número N la salida del comparador pasa al estado bajo.

Supongamos  $N = 12$  (  $1100_2$  ) y  $n = 4$  bits:

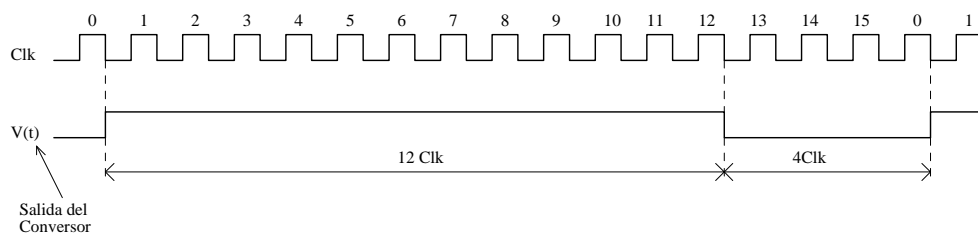


FIGURA 5

El duty cycle será:

$$\delta = \frac{N}{2^n} = \frac{12}{16}$$

El valor medio de la señal viene dado por :

$$V_o = \frac{1}{T} \int_0^T f(t) dt$$

$$V_o = \frac{1}{2^n} \int_0^N V_R dt + \frac{1}{2^n} \int_N^{2^n} 0 dt = \frac{V_R}{2^n} \int_0^N dt = V_R \cdot \frac{N}{2^n}$$

Donde :  $\frac{N}{2^n} = \delta$

En nuestro caso, por trabajar con un operacional conectado en configuración inversora, tenemos:

$$V_o = -\frac{V_R \cdot N}{2^n}$$

**1.b\_ Conversión Bipolar**

**1.b.i\_ Signo y Magnitud**

El siguiente circuito básicamente realiza lo siguiente: todos los bits del número a convertir, salvo el más significativo que indica su signo, se envían a un convertidor unipolar de n-1 bits con fondo de escala  $V_R/2$ .

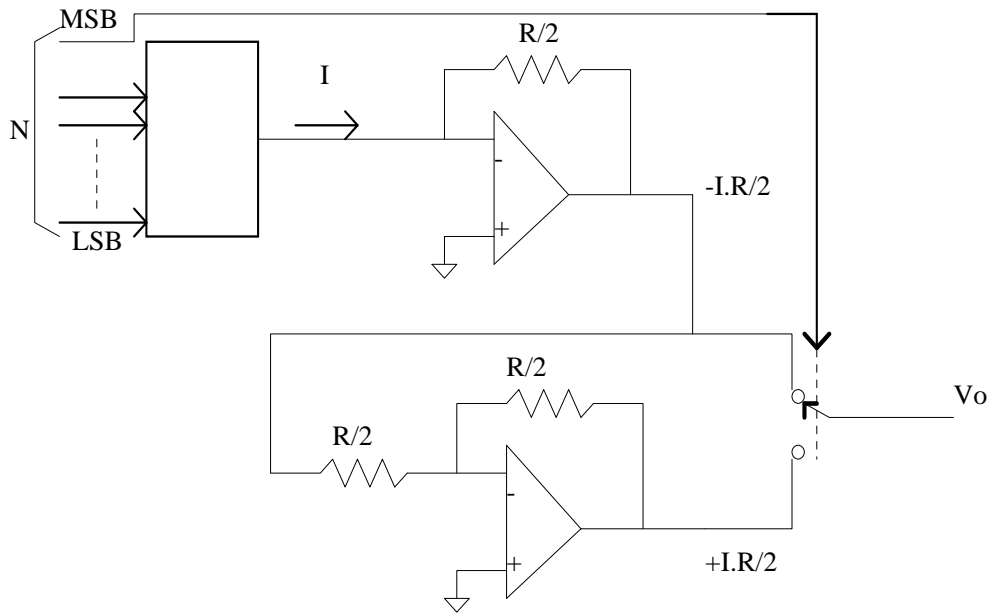


FIGURA 6

La salida de éste convertidor se toma en forma normal, o invertida según sea 0 ó 1 respectivamente el MSB del número a convertir, con lo cual tendremos:

$$-\frac{V_R}{2} \leq V_o < \frac{V_R}{2}$$



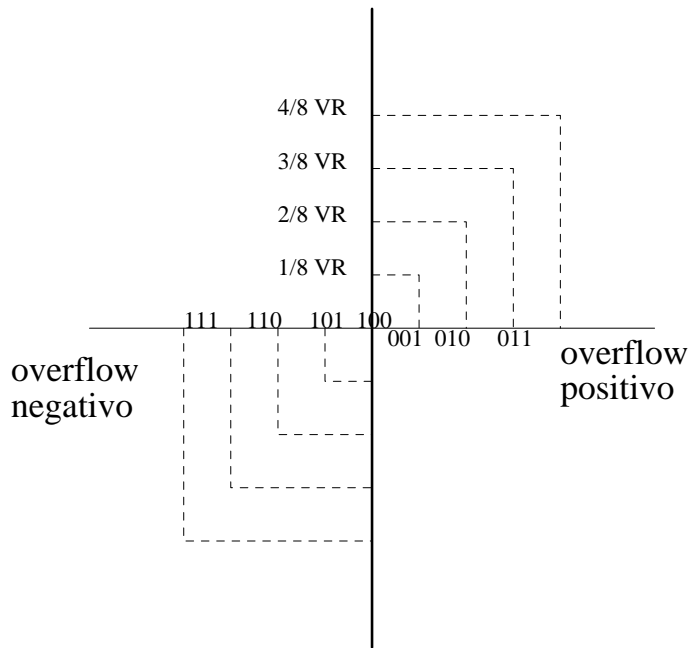


FIGURA 7

1.b.i\_Binario Desplazado

Lo que tenemos aquí es un corrimiento de la representación binaria de los números, pareciendo más grandes de lo que realmente son. Si a los números así desplazados se los ingresa en un CDA unipolar, se tendrá a su salida una tensión desplazada de su valor real, con lo cual para obtener su valor real habrá que quitarle el valor de continua que tiene en exceso. El desplazamiento del número  $N$  es  $2^{N-1}$ , es decir, la mitad del máximo valor que puede adoptar  $N$ , por lo que el corrimiento es de mitad de escala, o, en términos de tensión,  $V_R/2$ , con lo cual concluimos en que para obtener el verdadero valor de la tensión de salida, habrá que restar  $V_R/2$  a la de salida del conversor. Con éstas consideraciones, el diagrama en bloques del circuito a utilizar es el siguiente:

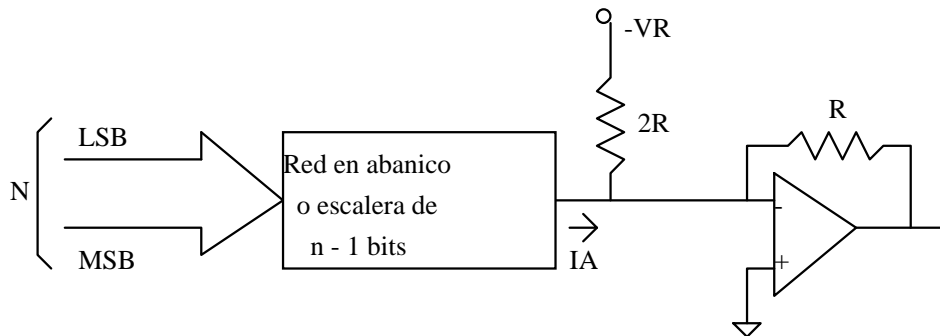


FIGURA 8

La red resistiva coloca a la entrada del operacional una tensión dada por :

$$V_{th} = \frac{V_R \cdot N}{2^n}$$

resultante de aplicar Thevenin.

La resistencia equivalente es:

$$R_{th} = R$$

Por lo tanto la corriente que va a circular por la resistencia de realimentación del operacional, será la siguiente:

$$I = \frac{V_R \cdot N}{2^n} \cdot \frac{1}{R} - \frac{V_R}{2 \cdot R}$$

Donde el primer término corresponde a la corriente que circula por la resistencia equivalente a la red resistiva de entrada, y el segundo a la que circula por el resistor 2R

Como Vo es el producto de I por la resistencia de realimentación del operacional, nos queda:

$$V_o = \frac{V_R \cdot N}{2^n} - \frac{V_R}{2}$$

Como N es el número binario de entrada del conversor, Vo será -VR/2 para N=0, y +VR/2 para N=2<sup>n</sup>.

Si quisiéramos trabajar en complemento a 2 en lugar de binario desplazado, bastará con invertir el bit mas significativo a la entrada .

El siguiente gráfico muestra la salida para ambos tipos de conversores bipolares.

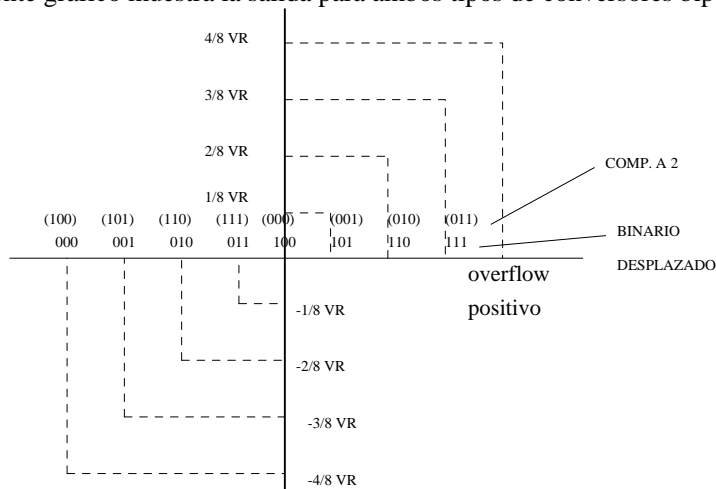


FIGURA 9

1.c\_ Errores en un CDA

En la siguiente figura se representa la transferencia ideal de un CDA, uniéndose todos los puntos con una recta. Analicemos los posibles errores en un CDA *real*.

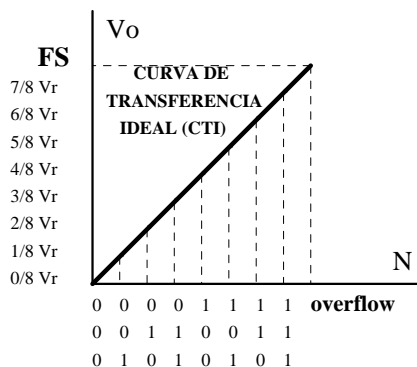
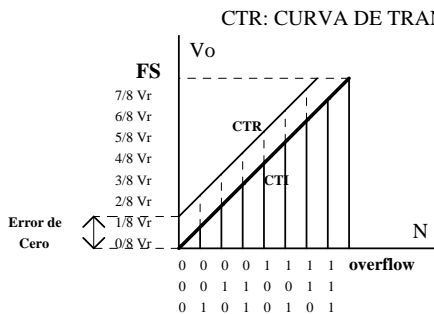
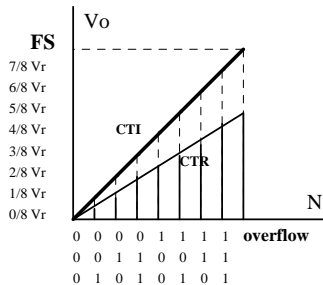


FIGURA 10

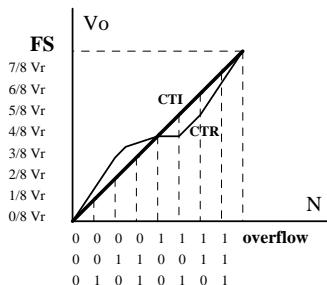
En primer lugar, (Fig. 11) tenemos los errores que introduce el operacional por **cero u offset**, los cuales provocan un desplazamiento de la recta de transferencia hacia arriba o hacia abajo de la ideal.



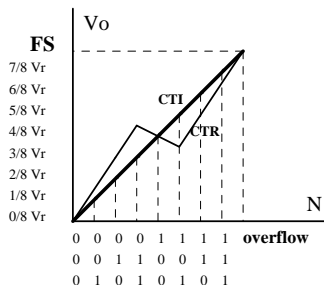
ERROR DE CERO U OFFSET  
FIGURA 11



ERROR DE ESCALA  
FIGURA 12



ERROR DE LINEALIDAD  
FIGURA 13



GRAN ERROR DE LINEALIDAD  
FIGURA 14

Además la resistencia de realimentación del operacional introduce errores de ganancia si no tiene el valor exacto para garantizar ganancia unitaria, alterando la pendiente de la respuesta como observamos en la Fig. 12. Este error se conoce como error de **escala**.

Un error mas grave es el de **falta de linealidad**, es decir, en algunas zonas de la transferencia la relación entre el número de entrada y la tensión de salida deja de ser estrictamente lineal (Fig. 13). El punto mas crítico de un conversor de abanico es el de punto medio de escala, donde cambia de estado el bit mas significativo (por ejemplo, si  $n=4$  en el medio de la escala se produce el cambio de 0111 a 1000), con lo cual si existe una pequeña diferencia en el valor de la resistencia de entrada de ese bit, aparecerá un error de linealidad como el de la Fig 13. Este error puede ser tan grave que se arribe a una situación como la mostrada en la figura 14, la cual se denomina **pérdida de la monotonía**, es decir, para un número N corresponda una tensión  $V_o$  menor que para N-1.

## 2\_ CONVERSIÓN A/D

En este caso se tendrá una curva de transferencia (Fig. 15), en donde la entrada será analógica, es decir, una tensión que se medirá como fracción de  $V_R$ , y la salida será un número N. La entrada será continua, es decir, podrá adoptar infinitos valores, mientras que la salida será discreta, pudiendo tener  $2^n$  valores diferentes, donde n es el número de bits de salida.

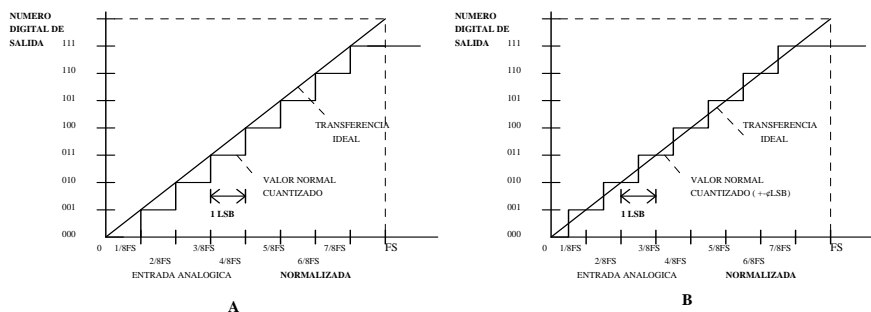


FIGURA 15

La primer característica importante a definir en un CAD es su resolución, es decir, cuanto se puede distinguir perfectamente bien entre dos niveles consecutivos de la entrada. Esta resolución entre los niveles de entrada o fracciones de  $V_R$ , se traduce en última instancia en el número de bits a la salida. Por ejemplo, si se quisiera tener una resolución de  $1/1000$  de  $V_R$  se necesitará tener  $n=10$  bits de salida, ya que  $2^{10}=1024$ .

En la Fig. 15 se ha graficado la curva de transferencia de un CAD de 3 bits. Por ser  $n=3$ , el intervalo de 0 a  $V_R$  de la tensión de entrada se puede dividir en 8 partes iguales. En la misma figura se han dibujado dos curvas de transferencia reales, que dependiendo de la resolución del CAD se aproximarán mas o menos a la curva ideal.

La curva A sigue la siguiente filosofía: mientras la tensión de entrada no supere el valor o fracción de  $V_R$  igual a  $j/2^n$ , la salida permanece en el valor  $j-1$ . Es evidente que si la resolución crece excesivamente, no se podrá apreciar diferencia alguna entre la escalera real y la recta ideal. Pero puede verse que con la curva A, también llamada curva por truncado, se comete demasiado error en su aproximación a la curva ideal, ya que por ejemplo, si tenemos  $5.98/8$  de  $V_R$ , la salida será 5 (101 binario), es decir que se trunca o recorta a la fracción de

entrada para utilizar solo el número entero de octavos. Una mejor aproximación es la curva B, también llamada curva por redondeo, en donde dicha curva corta a la recta ideal en dos puntos por cada octavo de  $V_R$ : en  $0.5 j/8$  y en  $j/8$  para  $j$  entero entre 0 y 7.

Lo mencionado hasta ahora es lo concerniente al primer error en un CAD, el error de cuantificación. La curva A tiene un error de  $+0$ ,  $-1$  LSB, ya que nunca está por encima del valor teórico, pero sí está hasta 1 bit menos significativo por debajo. Mientras que la curva B puede estar hasta  $1/2$  bit menos significativo por encima o por debajo, con lo cual el error será  $\pm 1/2$  LSB.

Los CAD también tienen los errores que presentan los CDA: cero u offset, escala y linealidad, pero existe otro error en los CAD que se debe a la variación de la tensión a la entrada del conversor durante el tiempo de conversión. En efecto, la mayoría de los CAD son circuitos secuenciales, con lo cual necesitarán de un tiempo T para completar la conversión. Si la señal a convertir es un nivel de continua, no habrá problemas, pero si la señal es dependiente del tiempo, por ejemplo una senoide, durante el tiempo T habrá variado, con lo cual tendremos un cierto error en su conversión. El problema será mayor cuanto mayores sean la amplitud y la frecuencia de la señal, ya que serán mas rápidas sus variaciones. Supongamos una senoide de pulsación  $\omega$  y amplitud  $V_R/2$  y deseamos saber cuanto es lo máximo que puede variar ésta señal durante el período de conversión T. Derivando a la expresión de la señal de entrada respecto del tiempo y obteniendo su máximo valor hallamos la máxima pendiente, que multiplicada por T, nos da la máxima variación de  $V_i$ :

$$\frac{\Delta V_i}{\Delta t} = \frac{d}{dt} \cdot \frac{V_R}{2} \cdot \text{sen}(\omega t) = \frac{V_R}{2} \cdot \omega \cdot \text{cos}(\omega t) \Rightarrow \Delta V_{i_{max}} = \frac{V_R \cdot \omega \cdot T}{2}$$

Para que este error sea despreciable, la variación máxima de  $V_i$  debería ser menor al error de cuantificación, es decir:

$$\frac{V_R \cdot \omega_{max} \cdot T}{2} < \frac{V_R}{2^n} \therefore T < \frac{2}{2^n \cdot \omega_{max}} = \frac{1}{2^n \cdot \pi \cdot f_{max}}$$

Veamos un ejemplo. Supongamos que se desea implementar un CAD para un canal telefónico, con una resolución de 8 bits, siendo la máxima frecuencia posible, (debido a un filtro que la limita) de 3,3 KHz. Según el teorema de Nyquist de la teoría de la información, para poder recuperar totalmente una señal, se necesita muestrearla en su conversión a una frecuencia de por lo menos el doble de la máxima existente en esa señal. En la práctica, el valor 2 resulta insuficiente, y para el caso que nos ocupa de un canal telefónico, se realiza el muestreo a una frecuencia de 8 KHz. Debido a que la señal dura unos 300 s, uno esperaría tener que exigirle al CAD un tiempo de conversión de entre 50 y 100 s, pero utilizando la fórmula anterior, para que el error en la conversión sea menor que el de cuantificación, la conversión debe realizarse como máximo en 0,38 s. Es decir, que se necesita un circuito que trabaje a frecuencias del orden del MHz, habituales en video, para convertir una señal de audio. Algo de destacar es que al realizarse el muestreo a una frecuencia de 8 KHz, es decir, cada 125 s, el conversor permanece inactivo 124,62 s de cada 125 s. Se verá mas adelante como resolver este problema.

## 2.a\_ CAD por aproximaciones sucesivas

En la figura 16, se observa un diagrama en bloques de un CAD por aproximaciones sucesivas.

Consta de tres partes fundamentales: un comparador, un CDA, y un registro de Aproximaciones Sucesivas.

El funcionamiento en bloques, es el siguiente: El registro de Aproximaciones Sucesivas recibe la orden de conversión (SOC = Start Of Conversion), presentando entonces en su salida el número N, el cual se convierte a un valor de tensión por medio del CDA, tensión que es comparada con el valor de tensión de entrada  $V_{in}$  a convertir. La salida del conversor indica si se debe modificar N o, si las tensiones son iguales, que N representa en ese momento el resultado buscado, tras lo cual emite una señal de fin de conversión (EOC = End Of Conversion).

Observemos el diagrama de flujo de la Fig 16 para estudiar mas detalladamente el comportamiento del registro de Aproximaciones Sucesivas que es el corazón del A/D. Al recibir el SOC el SAR ( Successive Aproximation Register ), debe colocar en su salida el número N correspondiente a  $V_R / 2$ , es decir que pone en 1 el bit mas significativo de su salida, manteniendo al resto de los bits en 0. Ese valor es convertido en una tensión  $V_O$  por el CDA. El SAR espera el resultado de la comparación con la tensión de entrada. Si  $V_O < V_{in}$ , el SAR interpreta que el número presente en su salida es pequeño respecto del necesario, por lo tanto, pone en 1 el bit de significación inmediato inferior ( es decir, le suma a  $V_R / 2$ ,  $V_R / 4$  ). Si por el contrario,  $V_O > V_{in}$ , el número N a la salida, es excesivo, con lo cual vuelve a cero el bit seteado y pone a uno el bit de significación inmediato inferior ( Es decir, anula  $V_R / 2$  y prueba con  $V_R / 4$  ). La conversión finaliza cuando el bit que se está modificando es el LSB, es decir, cuando se ha aproximado el valor de  $V_{in}$  con la resolución propia del circuito.

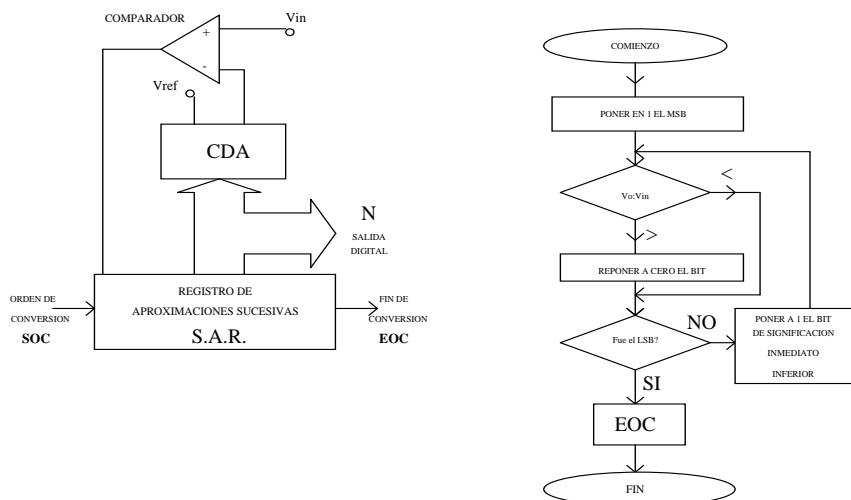


FIGURA 16

Estos conversores tienen un tiempo de conversión del orden de 1 s. Hay otros métodos que permiten obtener conversores mas rápidos y también mas lentos, estando los de Aproximaciones Sucesivas en el centro de la escala, tanto en velocidad como en precisión ( hasta 12 bits de resolución ).

2.b\_ CAD por arrastre

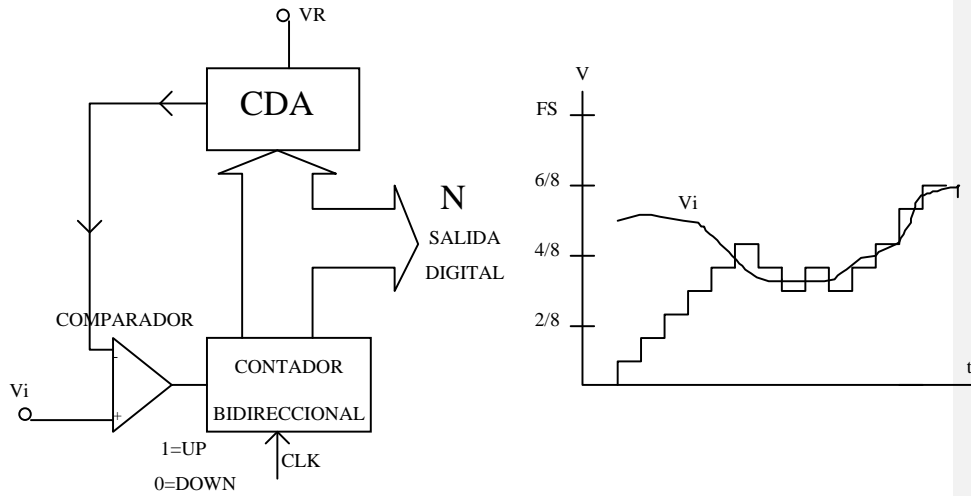


FIGURA 17

En este circuito, no existe un orden de comienzo de conversión ni señal de fin de conversión, sino que ésta se realiza en forma continua, actualizándose su salida a cada instante, de tal forma que si tensión en su entrada varía con el tiempo, el conversor tratará de **arrastrar** su salida, siguiendo las variaciones de su entrada. Consta de un contador bidireccional, un CDA y un comparador. Si suponemos que inicialmente el contador está en 0 como indica el gráfico de la Fig. 17, y colocamos una tensión  $V_i$  en la entrada del comparador, como ésta es mayor que la salida del CDA, a la salida del comparador habrá un 1 y el contador comenzará a contar hacia arriba, hasta que a la salida del comparador haya un número N tal que provoque una tensión de salida del CDA mayor que la presente en la otra entrada del comparador, y fuerce un 0 en la salida de éste, obligando al contador a contar en forma descendente. Este proceso se repite indefinidamente, lográndose de esta forma que la salida del comparador siga a la tensión de entrada si la frecuencia de variación de la misma no es muy elevada de modo que supere la velocidad de conversión del CDA.

2.c\_ CAD por Multicomparación o Comparación Paralela. ("FLASH").

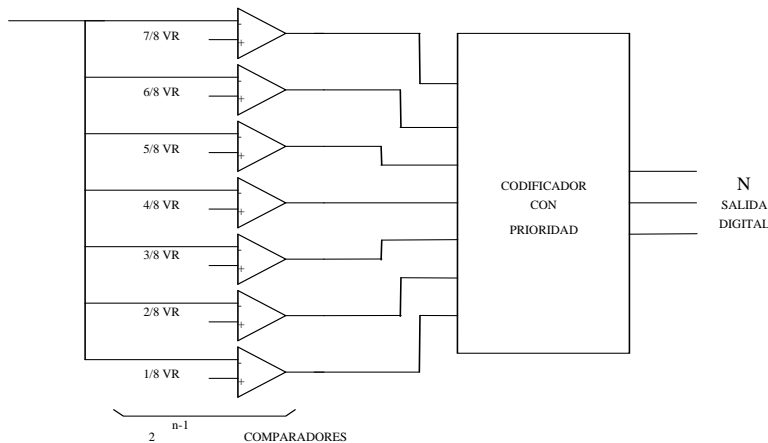


FIGURA 18

Este es el convertor más rápido, con un tiempo de conversión del orden de los ns. Está compuesto por  $2^{n-1}$  comparadores, siendo  $n$  la resolución (cantidad de bits) y un codificador con prioridad. El funcionamiento es el siguiente: supóngase que  $V_i$  es mayor que  $3/8$  de  $V_R$  y menor que  $4/8$  de  $V_R$ , entonces los primeros cuatro comparadores tendrán su salida en 1. Como el codificador con prioridad coloca en su salida el código de la entrada de mayor peso que esté en 1, en este caso  $N$  será un 3.

Es evidente que la limitación para este tipo de circuitos es la resolución, ya que por ejemplo, para  $n = 8$  se necesitan 255 comparadores.

Una de las aplicaciones de los CAD es en voltímetros digitales. Estos en general son de 3, 3,5, 4, y 4,5 dígitos, para los que se requiere una resolución de 10, 11, 14, y 15 bits respectivamente. Los dos primeros se podrían implementar con CAD por Aproximaciones Sucesivas, pero los dos últimos están fuera de su alcance, y ni pensar en un CAD flash. Sin embargo, existe otra cuestión a analizar: los voltímetros digitales, miden esencialmente tensiones continuas, con lo cual bastaría con que la conversión se realizase, por ejemplo, en 100 ms.

Por lo tanto, se verán a continuación algunos métodos que a costa de sacrificar velocidad, logran una conversión muy precisa.

### 2.d\_ CAD por Simple Rampa.

Este convertor trabaja por método indirecto, es decir, transforma la tensión en un tiempo, y luego digitaliza el tiempo.

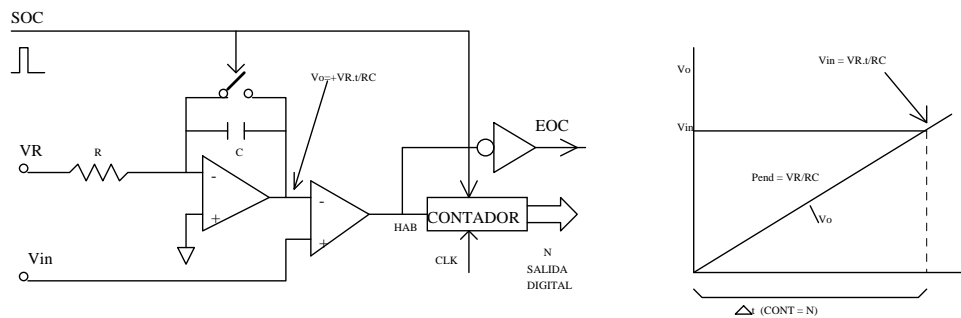


FIGURA 19

De la Fig. 19, podemos analizar el funcionamiento del circuito: cuando llega la orden de comenzar la conversión, se resetea el contador y se descarga el capacitor  $C$ ; al desaparecer el pulso de inicio, a la salida del integrador, se dispara una rampa de pendiente  $+V_R / RC$ , y como al principio la amplitud de la rampa es menor que  $V_i$ , la salida del comparador estará en 1, quedando el contador habilitado para contar los pulsos del  $Clk$ , comenzando de este modo a aumentar el valor  $N$ . Cuando la amplitud de la rampa sea igual a  $V_i$ , la salida del comparador será 0 y el contador quedará bloqueado en el valor final de  $N$ , y en la salida del convertor habrá un 1 indicando el fin de la conversión. El tiempo que la rampa tarda en alcanzar a  $V_i$  ( $t$ ), será proporcional a  $V_i$ , y será él quien determine el tiempo de cuenta. Por lo tanto será:



$$N = f_{ck} \cdot t$$

En el momento en que la tensión de la rampa alcanza el mismo valor que  $V_i$ , se verifica la siguiente igualdad:

$$\frac{\Delta t \cdot V_R}{R \cdot C} = V_i \therefore \Delta t = \frac{R \cdot C \cdot V_i}{V_R}$$

Reemplazando  $t$  en la expresión de  $N$  se tiene:

$$N = \frac{f_{ck} \cdot R \cdot C}{V_R} \cdot V_i$$

Observando esta última expresión, se desprende que la precisión de la conversión depende de numerosos factores, que son: la estabilidad de la frecuencia de clock  $f_{ck}$ , la estabilidad de la tensión de referencia  $V_R$ , y la estabilidad de la constante de tiempo, es decir  $R$  y  $C$  deberán ser de buena precisión. Además es evidente que si la señal continua  $V_i$  tiene incorporado un poco de ripple, este circuito no es capaz de rechazarlo, ya que la medición dependerá del punto en que la rampa corte a  $V_i$ .

### 2.e\_ CAD por Doble Rampa.

El CAD por simple rampa presentaba dos problemas: primero, no rechazaba el zumbido que puede presentar la señal de entrada, y segundo, su precisión dependía de demasiados parámetros.

Veamos como solucionar el primer problema.

Supongamos que en lugar de trabajar directamente con la señal a medir, primero se la integra. Si  $V_i$  es una señal de continua, su integral será una rampa, y además, si la integración se efectúa durante un tiempo  $T$  constante y conocido tal que sea múltiplo de 20 ms ( período de la señal de red de 50 Hz. ), la contribución del zumbido de red que pueda estar presente en la rampa luego de la integración será nula, ya que habría tantos semiciclos positivos como negativos, con lo cual se soluciona el primer problema.

Para poder solucionar el segundo inconveniente, supongamos que una vez realizada la integración de  $V_i$  se pase a medir una tensión patrón  $V_R$  bien conocida. De esta forma, si hay variaciones en la constante  $RC$  o en la frecuencia de Clock, afectarán a ambas mediciones, de tal forma que es posible obtener la tensión incógnita comparando ambas mediciones, en función del valor de  $V_R$  e independientemente de  $RC$  y  $f_{ck}$ .

Ambas soluciones se obtienen con el CAD de doble rampa que se representa en la siguiente figura:

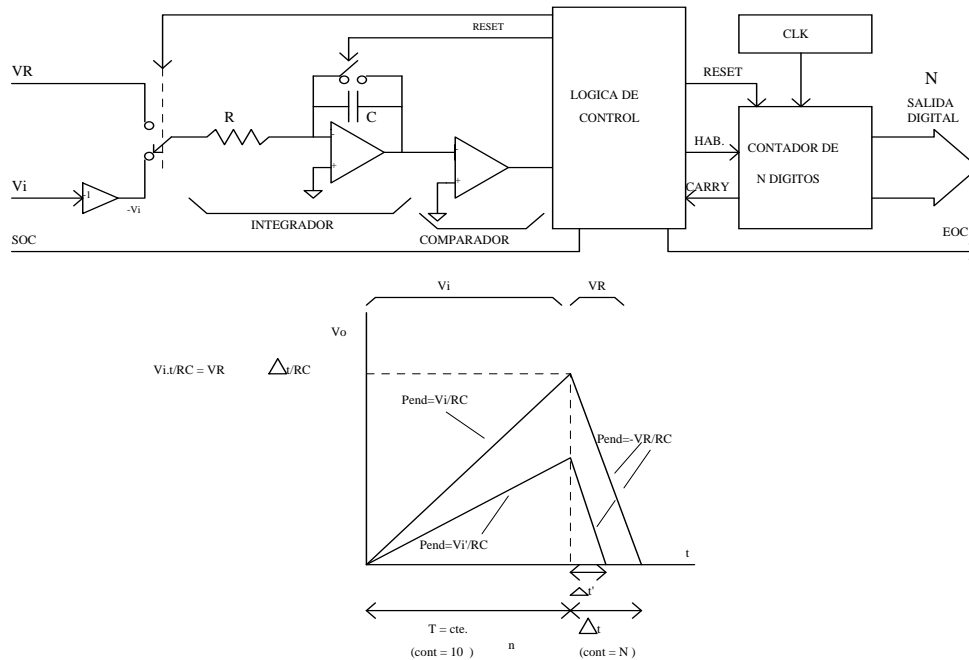


FIGURA 20

En una primer etapa se integra a la señal de entrada  $V_i$  durante un tiempo constante  $T$ , que será múltiplo de 20 ms. Al final de la integración la amplitud de la rampa será proporcional a  $V_i$ , de tal forma que si entonces se comienza a integrar a  $V_R$  pero con pendiente negativa y constante, el tiempo  $t$  que tarde en descargarse el capacitor  $C$  del integrador, también será proporcional a  $V_i$ , restando solo digitalizar dicho tiempo. Esto se realiza mediante el contador de  $n$  dígitos, que queda habilitado para contar durante el tiempo  $t$  por la lógica de control. Pero para que la conversión sea independiente de  $f_{ck}$ , el tiempo  $T$  también tendría que ser múltiplo de  $f_{ck}$ . Lo que generalmente hace es lo siguiente: cuando la lógica de control comienza la integración de  $V_i$ , también hace que el contador comience a contar los pulsos de clock. Cuando el contador llega a  $10^n$  y emite un carry, la lógica de control interrumpe la integración de  $V_i$  y comienza a integrar  $V_R$  comenzando el contador nuevamente a contar los pulsos de clock, hasta que el comparador detecta el cruce por cero de la rampa, momento en el cual la lógica de control bloquea al contador y emite la señal de EOC.

De lo expuesto surge que :

$$T = \frac{10^n}{f_{ck}}; \Delta t = V_i \frac{T}{V_R}; N = \Delta t \cdot f_{ck} \therefore N = \frac{10^n}{V_R} V_i$$

Se ve claramente que la precisión de la conversión depende exclusivamente de la estabilidad de  $V_R$ .

En los voltímetros electrónicos, la orden de conversión, típicamente la entrega un estable cada, por ejemplo, 2 segundos, mientras que la señal de EOC se utiliza para renovar la información en el display a través de latches, que permanecen bloqueados mientras el conversor trabaja a fin de que la visualización sea estable durante cada medición.

2.f\_ CAD por Conversión Tensión-Frecuencia.

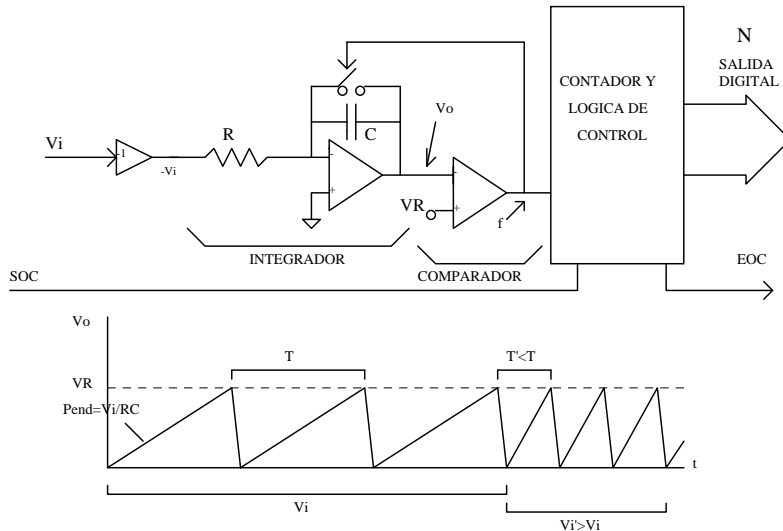


FIGURA 21

En el circuito mostrado en la Fig 21, lo que esencialmente se hace es transformar a la tensión de entrada  $V_i$ , en una señal de frecuencia igual a su amplitud y luego digitalizar la frecuencia. Para convertir la tensión en frecuencia, se integra  $V_i$ , con lo cual se obtiene una rampa de pendiente  $V_i t / RC$ . El comparador detecta cuando la amplitud de la rampa alcanza un valor de referencia  $V_R$ , instante en el cual descarga bruscamente al capacitor C, y da comienzo a una nueva rampa, obteniéndose en  $V_o$  una señal diente de sierra, cuyo período es inversamente proporcional a  $V_i$ :

$$T \frac{V_i}{RC} = V_R \therefore T = \frac{V_R}{V_i} RC$$

$$f = \frac{1}{T} \therefore f = \frac{1}{RC} \frac{V_i}{V_R}$$

Para digitalizar la frecuencia, solo hace falta que un contador permanezca habilitado durante un tiempo patrón  $T_p$ , para contar los pulsos provenientes de la señal de frecuencia desconocida debidamente conformados, obteniendo a la salida del contador el número  $N = f \cdot T_p$ .

$$N = f \cdot T_p = \frac{T_p}{RC} \frac{V_i}{V_R}$$

Es de destacar que este circuito rechaza el zumbido de línea que pudiera haber en  $\square$  si se elige adecuadamente el tiempo de integración de esta señal, pero presenta el inconveniente que la precisión de la conversión depende de muchos factores ( como en el caso de la simple rampa ), existiendo otros métodos mas complejos que solo dependen de  $V_R$ .

2.g\_ CAD por Carga Balanceada.

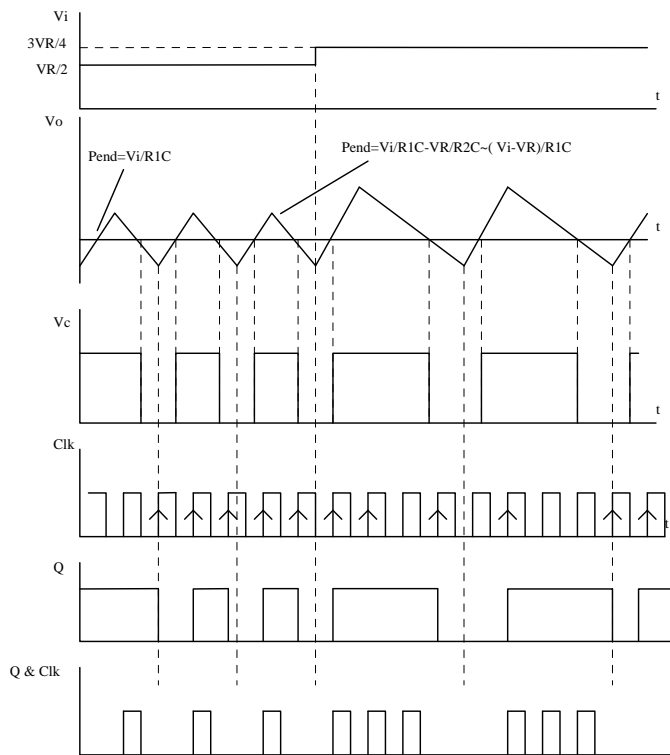
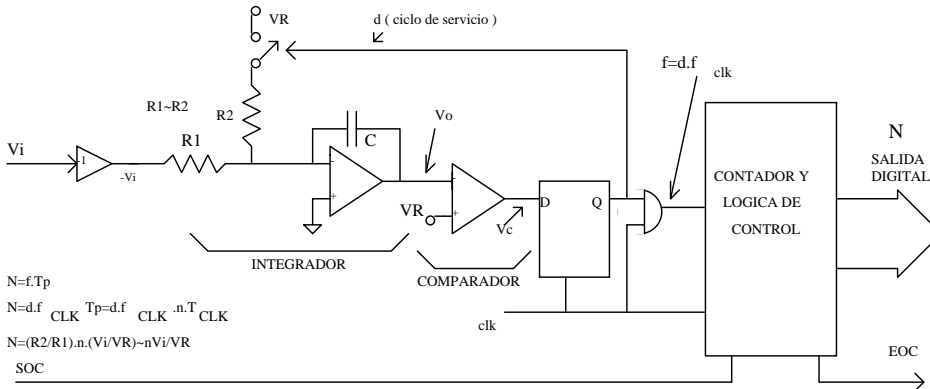


FIGURA 22

### 3\_ SISTEMAS DE ADQUISICIÓN DE DATOS

Normalmente los convertidores A/D forman parte de lo que se denomina Sistema de Adquisición de datos.

Estos sistemas se componen de varios canales por donde se toman diversas señales analógicas, que luego de ser acondicionadas se digitalizan.

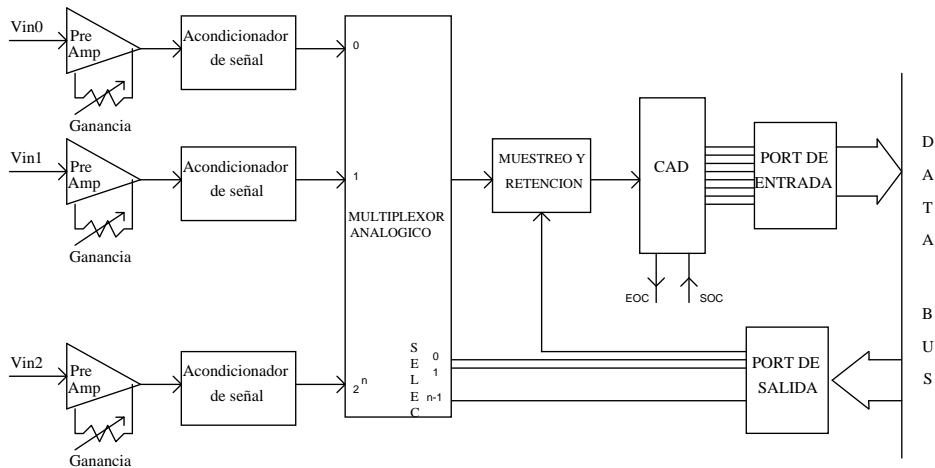


FIGURA 23

La Figura 23 muestra el esquema de un Sistema de Adquisición de Datos. En ella se distinguen los principales componentes.

Normalmente se utilizan traductores para generar una tensión eléctrica proporcional a alguna magnitud física. Esta señal entregada por el traductor casi siempre es de bajo nivel (es decir, menor a 1V). Por lo tanto cada canal del Sistema de Adquisición de Datos posee una etapa preamplificadora de ganancia ajustable de modo de darle a la señal de entrada el nivel suficiente para ser procesada por el resto del sistema.

Se observa que a la salida del Pre Amplificador, se dispone de una etapa de Acondicionamiento de la señal. Su función es filtrar y linealizar (de ser necesario, de acuerdo al traductor empleado) la señal de entrada.

Cada canal ingresa a una entrada de un multiplexor analógico. Este dispositivo conceptualmente es idéntico al multiplexor digital, salvo que trabaja con señales analógicas. Posee entradas de selección a las que se envía el número binario correspondiente a la entrada que se desea transmitir. A la salida, tendremos la señal presente en la entrada seleccionada.

Entre la salida del Multiplexor y la entrada del convertor A/D, generalmente se encuentra un dispositivo denominado Muestra y Retención (Sample and Hold). La función del mismo consiste en muestrear el valor de tensión a convertir y mantenerlo constante a la entrada del convertor A/D. De este modo durante el intervalo de tiempo en que el convertor tome señal desde su entrada, ésta no variará contribuyendo a la precisión de la conversión. Si el A/D utilizado fuese del tipo de aproximaciones sucesivas o doble rampa, por ejemplo, la condición de entrada constante se torna crítica. En el primero una entrada variable, además de demorar la conversión puede tornar inexacta la salida. En el segundo introduce errores en la rampa de carga del capacitor a la tensión de entrada. Si el A/D no termina la conversión antes de que la entrada varíe  $\pm 1/2$  LSB, su salida es inexacta.

En síntesis, los circuitos de muestra y retención hacen con las señales analógicas, lo que los biestables tipo D hacen con las señales digitales.

La Figura 24 muestra un circuito teórico de muestra y retención y un gráfico de entrada y salida del mismo.

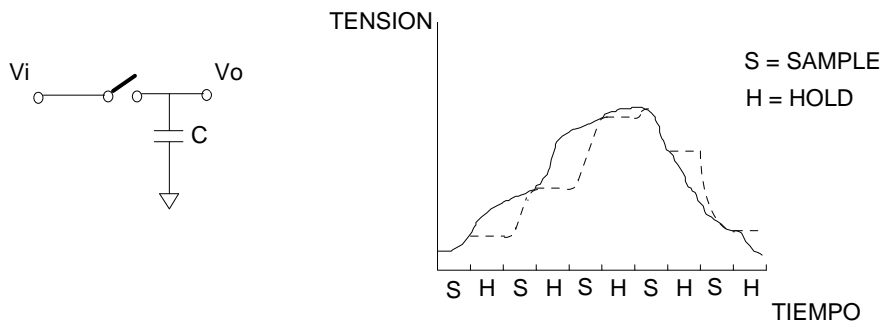


FIGURA 24

Cuando cierra el interruptor el circuito está en muestreo (SAMPLE), y la tensión de salida  $V_o$  sigue a la entrada  $V_i$ . Cuando se abre el interruptor el circuito entra en modo retención (HOLD), y el capacitor mantiene el valor de tensión que había a la entrada en el momento en que se abrió el interruptor indefinidamente haciendo que la tensión de salida  $V_o$  permanezca constante.

Obviamente este circuito es teórico y sirve únicamente a efectos de comprender el concepto de funcionamiento de un sistema de muestra y retención.

En la práctica, el interruptor se implementa mediante una llave analógica controlada por una señal digital, y se agregan separadores de muy alta impedancia de modo que el capacitor no encuentre caminos de "descarga rápida" y mantenga la tensión lo mas constante posible.

La Figura 25 muestra un circuito práctico de muestra y retención.

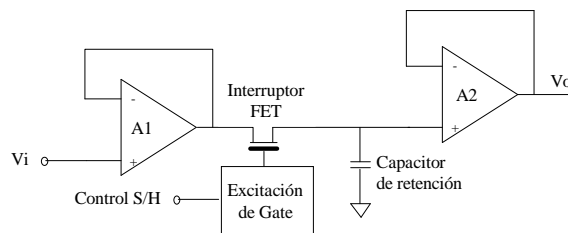


FIGURA 25

A1 y A2 están en configuración ganancia unitaria. A1 presenta muy alta Impedancia a la entrada y muy baja a la salida. De este modo no carga al Multiplexor analógico y permite que el capacitor se cargue muy rápidamente al cerrarse el interruptor (saturar el FET), mediante una tensión 0V en Control S/H.

Cuando el interruptor se abre (5v en control S/H, para poner al corte al FET), el capacitor queda desconectado de la entrada teniendo como único circuito de descarga posible la Impedancia de entrada de A2, que es muy elevada. Esto permite que no se produzca descarga apreciable durante el intervalo de retención.

#### 4\_ CONEXION DE CONVERSORES A/D Y D/A A UN $\mu$ P.

Para finalizar, resta solamente analizar como conectar un conversor con un microprocesador.

Desde este punto de vista podemos clasificar a los conversores en dos categorías: Compatibles con el bus de un  $\mu P$  y no compatibles con el bus de un  $\mu P$ .

Los conversores A/D compatibles con el bus de un  $\mu P$  cumplen los siguientes requisitos:

- \* Latchean internamente sus salidas.
- \* Salidas three-state.
- \* En caso de ser de mas de 8 bits, poseen una o dos líneas para seleccionar byte alto y byte bajo de modo de poder leer la salida en dos posiciones de E/S.

Los conversores D/A compatibles con el bus de un  $\mu P$  cumplen los siguientes requisitos:

- \* Latchean internamente sus entradas.
- \* Entradas three-state.
- \* En caso de ser de mas de 8 bits, poseen una o dos líneas para seleccionar byte alto y byte bajo de modo de poder escribir el valor a convertir a señal analógica en dos posiciones de E/S.

Esto permite conectar a ambos conversores a un  $\mu P$  en forma directa, sin necesidad de utilizar ports de E/S. El  $\mu P$  los trata como ports de E/S comunes y corrientes. En la Fig. 26 se muestran los terminales de un A/D de 12 bits compatible con bus de  $\mu P$ . HBEN y LBEN trabajan de Chip Select, para los bytes alto y bajo respectivamente de la salida del conversor. Así manejando convenientemente la lógica de decodificación de E/S, el  $\mu P$  "ve" al A/D como dos ports de E/S.

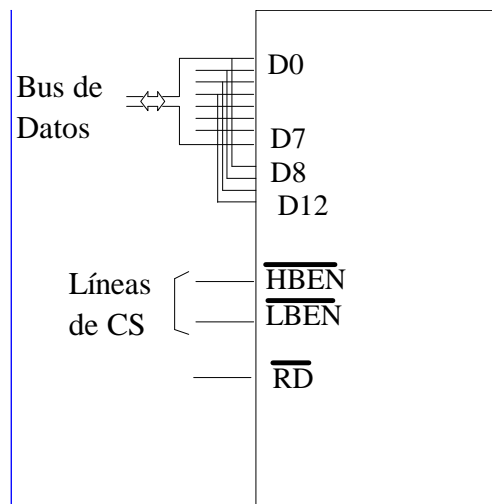


FIGURA 26

Obsérvese en la figura anterior que las líneas correspondientes a los bits mas significativos se solapan con el byte bajo, de modo de conectarse a un bus de 8 bits. Esto se debe a la ventaja de tener salidas three-state. De este modo con un bajo en LBEN, se vuelca al bus la parte baja de la salida, y con un bajo en HBEN se vuelcan, en este caso, los cuatro bits mas significativos de la salida en el nibble bajo del bus y en el nibble alto, "basura". Esto

a nivel de software, implica dos lecturas de E/S consecutivas, a las direcciones dadas por la lógica de decodificación.

Nada impide que un  $\mu P$  trabaje con convertidores no compatibles con un bus, pero debe tomarse la precaución de utilizar ports entre el  $\mu P$  y el convertidor, ya que al no tener estos convertidores las propiedades citadas anteriormente, (salidas latcheadas y three-state, etc.) no existe la posibilidad de conexión directa.

Si el convertidor no compatible tuviese más de 8 bits, se debe proveer un doble latcheo, como se muestra en la siguiente figura.

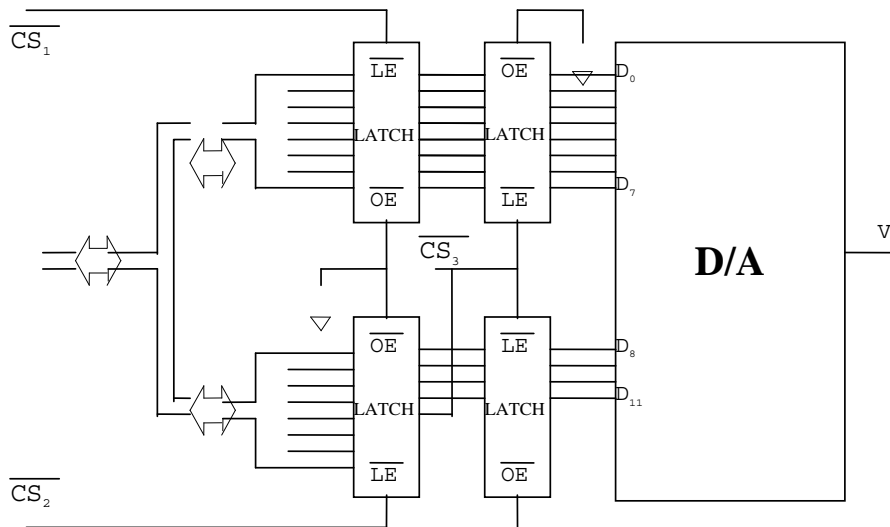


FIGURA 27

Como puede verse en la Fig. 27 se trabaja con dos etapas de latcheo. La razón es, que si el bus del microprocesador es de 8 bits, los dos latches no se escribirán a la vez, con lo cual, si se utilizase una sola etapa de latches, el dato llegará en dos tiempos al convertidor, y de este modo durante un tiempo se tendrá una salida errónea. El objetivo de la segunda etapa es justamente, al tener sus dos Latch Enable juntos, pasar el dato de 12 bits de una sola vez al convertidor. El Latch Enable de esta segunda etapa, se puede manejar con un CS separado (CS3 en la figura), o bien con una línea de salida del latch, que maneja las líneas de datos D8 a D11 (Línea puntada en la figura).



# **ANEXO I**

## **Conversores Comerciales.**

---

### **Tipos y características Generales:**

*Conversores D/A.*

*Covnersores A/D.*